

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

03424095
SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 03-086995 [JP 3086995 A]
PUBLISHED: April 11, 1991 (19910411)
INVENTOR(s): KONO TORU
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 01-223638 [JP 89223638]
FILED: August 30, 1989 (19890830)

ABSTRACT

PURPOSE: To contrive the high speed operation of a system by supplying a boost voltage to an N well as a bias voltage, simultaneously transmitting the (p) channel insulation gate type of field effect transistor to the circuit needing the boost voltage as a transmission gate.

CONSTITUTION: ApMOS 41 is a semiconductor which is provided with a source 45 and a drain 46 constituted of a P(sup +) diffused layer to the N well formed on a P type silicon substrate 43, and to its gate electrode 48 a control signal SG is supplied. The boost voltage VB(sub 0) by supplying to the source 45 is transmitted to the circuit 42 needing the boost voltage VB(sub 0), and through an N(sup +) diffused layer 49 formed on the N well 44 as the bias voltage. In such a manner, in the case of driving the circuit 42 needing the boost voltage VB(sub 0), the time lag is prevented.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-86995

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月11日

G 11 C 11/407
H 03 K 3/356

B 8626-5J
8323-5B

G 11 C 11/34 354 F

審査請求 未請求 請求項の数 2 (全21頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-223638

⑰ 出 願 平1(1989)8月30日

⑱ 発 明 者 河 野 通 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 定常的なブースト電圧を発生するブースト電圧発生回路と、

Nウェルに形成されたpチャネル絶縁ゲート型電界効果トランジスタとを設け、

前記ブースト電圧発生回路が発生する前記ブースト電圧を前記Nウェルにバイアス電圧として供給するとともに、前記ブースト電圧を前記pチャネル絶縁ゲート型電界効果トランジスタを伝送ゲートとして前記ブースト電圧を必要とする回路に伝送することを特徴とする半導体記憶装置。

2. Nウェルに形成されたpチャネル絶縁ゲート型電界効果トランジスタと、

定常的なブースト電圧を発生するブースト電圧発生回路と、

該ブースト電圧発生回路が出力する前記ブースト電圧が第1の所定電圧値に下降したとき、第1の検出信号を出力し、前記ブースト電圧が前記第1の所定電圧値よりも高い第2の所定電圧値に上昇したとき、第2の検出信号を出力するブースト電圧検出回路と、

該ブースト電圧検出回路が出力する前記第1の検出信号にตอบสนองして前記ブースト電圧を上昇させ、また、前記ブースト電圧検出回路が出力する前記第2の検出信号にตอบสนองして前記ブースト電圧を下降させるように前記ブースト電圧発生回路を制御するブースト電圧発生制御回路とを設け、

前記ブースト電圧発生回路が発生する前記ブースト電圧を前記Nウェルにバイアス電圧として供給するとともに、前記ブースト電圧を前記pチャネル絶縁ゲート型電界効果トランジスタを伝送ゲートとして前記ブースト電圧を必要とする回路に伝送することを特徴とする半導体記憶装置。

3. 発明の詳細な説明

〔目次〕

概要

産業上の利用分野

従来の技術

従来のDRAMの一例(第13図～第15図)

従来のDRAMの他の例(第16図～第18図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用

実施例

第1実施例(第2図～第4図)

第2実施例(第5図)

第3実施例(第6図、第7図)

第4実施例(第8図)

第5実施例(第9図)

第6実施例(第10図)

第7実施例(第11図、第12図)

その他

発明の効果

という)に関する。

一般に、DRAMにおいては、メモリセルは、電荷蓄積用のキャパシタと、電荷入出力制御用のnチャネル絶縁ゲート型電界効果トランジスタ(以下、nMOSという)とで構成される。かかるDRAMにおいては、データ書き込み時において、キャパシタに電荷を蓄積させる場合(論理「1」を記憶させる場合)、ビット線には電源電圧 V_{cc} [V]が供給されるが、ワード線には、電源電圧 V_{cc} [V]よりも高電圧の、いわゆるブースト電圧、例えば、 $1.5 V_{cc}$ [V]が供給される。この理由は以下の通りである。

仮に、ワード線にもビット線と同様に電源電圧 V_{cc} [V]を供給すると、キャパシタに印加できる電圧は、 $V_{cc} - V_{th}$ [V] (但し、 V_{th} は電荷入出力制御用のnMOSのスレッシュホールド電圧である)となり、キャパシタに蓄積できる電荷量が少なくなってしまう。このため、リフレッシュ動作のサイクルを短い間隔で行わなければならない等の不都合が生ずる。この場合、キャパシタの面

〔概要〕

半導体記憶装置、例えば、ダイナミック・ランダム・アクセス・メモリに関し、

Nウエルに形成されたpMOSを伝送ゲートとしてブースト電圧を伝送する利点を維持し、更に、ブースト電圧伝送路の充放電にかかる時間を短縮し、高速化を図ることを目的とし、

定常的なブースト電圧を発生するブースト電圧発生回路と、Nウエルに形成されたpチャネル絶縁ゲート型電界効果トランジスタとを設け、前記ブースト電圧発生回路が発生する前記ブースト電圧を前記Nウエルにバイアス電圧として供給するとともに、前記ブースト電圧を前記pチャネル絶縁ゲート型電界効果トランジスタを伝送ゲートとして前記ブースト電圧を必要とする回路に伝送するように構成する。

〔産業上の利用分野〕

本発明は半導体記憶装置、例えばダイナミック・ランダム・アクセス・メモリ(以下、DRAM

積を大きくすることで、蓄積できる電荷量を増加させることができるが、このようにすると、高集積化を図ることができなくなるという不都合が生じてしまう。そこで、かかるDRAMにおいては、ワード線を活性化する電圧、即ち、ワード線ドライブ電圧を上述のようにブースト電圧、例えば、 $1.5 V_{cc}$ [V]とし、キャパシタに電源電圧 V_{cc} [V]を印加できるようにし、蓄積できる電荷量の増加を図るようにしている。

〔従来の技術〕

従来のDRAMの一例

従来、ワード線にブースト電圧を供給するようになされたDRAMとして、第13図及び第14図にそれぞれその要部回路図及びタイムチャートを示すようなものが提案されている。

図中、1はブースト電圧発生回路、2は1/4プリデコーダ、3はワードメインデコーダであり、このDRAMは行アドレス信号を5ビットで構成するものである。

(1) ブースト電圧発生回路1の構成

ブースト電圧発生回路1は、nMOS4、コンデンサ5、チャージアップ信号入力端子6及びインバータ7、8を設けて構成されている。なお、コンデンサ5は、nMOSによって構成されている。

ここに、nMOS4はそのドレインを電源線9に接続され、そのソースをコンデンサ5の一端に接続されている。なお、このnMOS4のゲートには第14図Cに示すような第1リセット信号RES₁が供給される。

また、チャージアップ信号入力端子6は、インバータ7の入力端子に接続され、インバータ7の出力端子は、インバータ8の入力端子に接続され、インバータ8の出力端子は、コンデンサ5の他端に接続されている。なお、チャージアップ信号入力端子6には第14図Bに示すようなチャージアップ信号CUが供給される。

信号CUはハイレベル“H”になり、これにตอบสนองしてコンデンサ5の他端には電源電圧V_{cc}[V]が印加される。このため、コンデンサ5はチャージアップされて、その一端、即ち、ノードN₁の電圧は押し上げられる。本例においては、この場合、ノードN₁の電圧が1.5 V_{cc}[V]となるようにコンデンサ5の容量が決定されている。

(3) 1/4プリデコード2の構成

1/4プリデコード2はpチャネル絶縁ゲート型電界効果トランジスタ(以下、pMOSという)10、nMOS11、12、13、14、15及びインバータ16、17を設けて構成されている。

ここに、pMOS10は、そのソースを電源線18に接続され、そのドレインをnMOS11のドレインに接続されている。また、nMOS11のソースはnMOS12のドレインに接続され、nMOS12のソースは接地されている。

なお、pMOS10のゲートには、第14図Eに示すような第2リセット信号RES₂が入力される。

(2) ブースト電圧発生回路1の動作

① 第14図において、例えばT=t₁では、チャージアップ信号CUはローレベル“L”の状態にあるので、コンデンサ5の他端は接地電位0[V]にされている。また、第1リセット信号RES₁はハイレベル“H”にあるので、nMOS4はオン状態とされている。この結果、T=t₁においては、nMOS4のドレインと、コンデンサ5の一端との接続中点(以下、ノードN₁という)の電圧はV_{cc}-V_{th}[V]となっている。

② その後、T=t₂で、 \overline{RAS} (row address strobe)信号がローレベル“L”になると、所定時間遅延してT=t₃で、第1リセット信号RES₁がローレベル“L”になる。この結果、nMOS4はオフ状態になるが、チャージアップ信号CUはローレベル“L”の状態にあるので、コンデンサ5の他端は接地電位0[V]を維持する。

したがって、T=t₃においては、ノードN₁の電位はV_{cc}-V_{th}[V]を維持している。

③ その後、T=t₄になると、チャージアップ

また、nMOS11及び12のゲートには、それぞれ第14図F及びGに示すようなタイミングで、行アドレス信号A₁及びA₂が入力される。

また、pMOS10のドレインとnMOS11のドレインとの接続中点(以下、ノードN₂という)は、インバータ16の入力端子、インバータ17の出力端子及びnMOS15のゲートに接続されている。また、インバータ16の出力端子とインバータ17の入力端子は接続され、その接続中点(以下、ノードN₃という)はnMOS13のドレインに接続され、nMOS13のソースはnMOS14のゲートに接続されている。

また、nMOS14は、そのドレインをノードN₁に接続され、そのソースをnMOS15のドレインに接続されている。また、nMOS15はそのソースを接地されている。

(4) 1/4プリデコード2の動作

① まず、T=t₁では、第2リセット信号RES₂及びアドレス信号A₁、A₂はローレベル“L”

にあるので、pMOS10はオン状態、nMOS11、12はオフ状態とされている。この結果、ノードN₂の電圧はV_{cc}[V]、ノードN₃及びノードN₄の電圧は共に0[V]にされており、nMOS14はオフ状態とされている。他方、nMOS15は、そのゲート電圧をV_{cc}[V]にされているので、オン状態となっている。

したがって、T=t₁においては、ノードN₅の電圧は0[V]にされている。

② その後、T=t₂において、第2リセット信号RES₂及び行アドレス信号A₁、A₂がハイレベル“H”になると、pMOS10はオフ状態、nMOS11、12はオン状態になる。この結果、ノードN₂の電圧は0[V]、ノードN₃の電圧はV_{cc}[V]、ノードN₄の電圧はV_{cc}-V_{th}[V]となり、nMOS14はオン状態となる。他方、nMOS15は、そのゲート電圧を0[V]にされるので、オフ状態となる。

したがって、T=t₂の後、ノードN₅の電圧は、V_{cc}-2V_{th}[V]となる。

また、nMOS20、21、22のゲートには、それぞれ第14図M、N、Oに示すようなタイミングで、行アドレス信号A₃、A₄、A₅が入力される。

また、pMOS19のドレインとnMOS20のドレインとの接続中点(以下、ノードN₆という)は、インバータ26の入力端子、インバータ27の出力端子及びnMOS25のゲートに接続されている。また、インバータ26の出力端子とインバータ27の入力端子は接続され、その接続中点(以下、ノードN₇という)はnMOS23のドレインに接続され、nMOS23のソースはnMOS24のゲートに接続されている。

また、nMOS24は、そのドレインをノードN₅に接続され、そのソースをnMOS25のドレインに接続されている。また、nMOS25はそのソースを接地されている。また、nMOS24のソースとnMOS25のドレインとの接続中点はワード線WL₀に接続されている。

③ その後、T=t₄になると、上述したようにノードN₁の電圧は1.5V_{cc}[V]になる。この結果、ノードN₄の電圧はnMOS14のゲート・ドレイン間の寄生容量によって押し上げられ、1.5V_{cc}[V]以上になる。したがって、ノードN₅の電圧は1.5V_{cc}[V]に上昇する。

(5) ワードメインデコード3の構成

ワードメインデコード3は、pMOS19、nMOS20、21、22、23、24、25及びインバータ26、27を設けて構成されている。

ここに、pMOS19は、そのソースを電源線28に接続され、そのドレインをnMOS20のドレインに接続されている。また、nMOS20のソースはnMOS21のドレインに接続され、nMOS21のソースはnMOS22のドレインに接続され、nMOS22のソースは接地されている。

なお、pMOS19のゲートには、第14図Lに示すような第3リセット信号RES₃が入力される。

(6) ワードメインデコード3の動作

① まず、T=t₁では、第3リセット信号RES₃及びアドレス信号A₃、A₄、A₅はローレベル“L”にあるので、pMOS19はオン状態、nMOS20、21、22はオフ状態となっている。この結果、ノードN₆の電圧はV_{cc}[V]、ノードN₇及びノードN₈の電圧は0[V]とされており、nMOS24はオフ状態とされている。他方、nMOS25は、そのゲート電圧をV_{cc}[V]とされているので、オン状態になっている。

したがって、T=t₁においては、ワード線WL₀の電圧は0[V]とされている。

② その後、T=t₂で、第3リセット信号RES₃及び行アドレス信号A₃、A₄、A₅がハイレベル“H”になると、pMOS19はオフ状態、nMOS20、21、22はオン状態になる。この結果、ノードN₆の電圧は0[V]、ノードN₇の電圧はV_{cc}[V]、ノードN₈の電圧はV_{cc}-V_{th}[V]となり、nMOS24はオン状態となる。他方、nMOS25は、そのゲート電圧を0

〔V〕にされるので、オフ状態となる。

したがって、 $T=t_4$ の後、ワード線WL₀の電圧は $V_{cc}-V_{th}$ 〔V〕となる。

③ その後、 $T=t_4$ になると、上述したようにノードN₅の電圧は $1.5V_{cc}$ 〔V〕に上昇する。このとき、nMOS24のゲート・ドレイン間容量によって、ノードN₅の電圧は押し上げられ、 $1.5V_{cc}$ 〔V〕以上になる。この結果、ワード線WL₀の電圧は $1.5V_{cc}$ 〔V〕となり、活性化される。

(7) 第13図従来例が有する問題点

かかる第13図従来例のDRAMにおいては、ノードN₄、N₅の電圧は、 $1.5V_{cc}$ 〔V〕以上に上昇してしまうので、nMOS14、24のゲート酸化膜の耐圧、即ち、信頼性が問題となる。特に、加速試験を行う場合に問題となる。

また、例えば、ノードN₅の充電時において、ノードN₄の電圧と、ノードN₅の電圧とを比較すると、第15図に波形図を示すように、ノードN₅

ナンド回路38及びインバータ39を設けて構成されている。

ここに、第2リセット信号RES₂は第17図Eに示すタイミングで供給され、nMOS33及び37のゲートに入力される。また、行アドレス信号A₁及びA₂は、それぞれ第17図F及びGに示すタイミングで供給され、それぞれナンド回路38の第1及び第2の入力端子に入力される。また、ナンド回路38の第3の入力端子はチャージアップ信号入力端子6に接続されている。

また、ナンド回路38の出力端子はインバータ39の入力端子及びnMOS34のゲートに接続され、インバータ39の出力端子はnMOS35のゲートに接続されている。

また、pMOS30、31、32は、すべてそのソースをノードN₁に接続されている。これらpMOS30、31、32は、Nウェルに形成されており、このNウェルもノードN₁に接続されている。

また、pMOS30のドレインはnMOS33

の充電が進むにつれて、nMOS14のゲート・ソース間電圧 V_{gs} が小さくなるため、オーバドライブが小さくなり、充電に時間がかかり、電流駆動力が低下すると共に、高速化が図れないという問題点があった。なお、nMOS24についても同様のことがいえる。

従来のDRAMの他の例

そこで、かかる第13図従来例が有する問題点を解消するものとして第16図及び第17図にそれぞれその要部回路図及びタイムチャートを示すようなDRAMが提案されている。なお、この第16図例においては、要部としてブースト電圧発生回路1及び1/4プリデコード29のみを記載し、ワードメインデコードについては、その記載を省略している。

(1) 1/4プリデコード29の構成

1/4プリデコード29はpMOS30、31、32、nMOS33、34、35、36、37、

及び34のドレインに接続され、これらnMOS33及び34のソースは接地されている。また、pMOS30のドレインとnMOS33及び34のドレインとの接続中点（以下、ノードN₁₁という）はpMOS31のゲートに接続されている。

また、pMOS31のドレインはnMOS35のドレインに接続され、nMOS35のソースは接地されている。これらpMOS31のドレインとnMOS35のドレインとの接続中点（以下、ノードN₁₂という）はpMOS30、32及びnMOS36のゲートに接続されている。

また、pMOS32のドレインはnMOS36のドレインに接続され、nMOS36のソースは接地されている。これらpMOS32のドレインとnMOS36のドレインとの接続中点（以下、ノードN₁₃という）はnMOS37のドレイン及びワードメインデコード（図示せず）に接続されている。

(2) 1/4ブリデコード29の動作

① 第17図において、 $T=t_1$ では、ノード N_1 の電圧が $V_{cc}-V_{th}$ [V]となっている点は、第13図従来例の場合と同様である。

また、 $T=t_1$ では、第2リセット信号 RES_2 はハイレベル“H”にあるから、nMOS33及び37はオン状態とされている。また、アドレス信号 A_1 、 A_2 はローレベル“L”にあるから、ノード N_9 の電圧はハイレベル“H”、ノード N_{10} の電圧はローレベル“L”となり、nMOS34はオン状態、nMOS35はオフ状態とされている。この結果、ノード N_{11} はローレベル“L”、ノード N_{12} はハイレベル“H”となり、pMOS31、nMOS36はオン状態、pMOS30、32はオフ状態とされている。

したがって、 $T=t_1$ においては、ノード N_{13} は0 [V]にされている。

② その後、 $T=t_2$ で、第2リセット信号 RES_2 がローレベル“L”となると、nMOS33、37がオフ状態となり、また、続いて、アドレス

波形図を示すように、充電時にはノード N_{12} の電圧が0 [V]となるため、pMOS32のゲート・ソース間電位 V_{gs} が充電の最終時においてノード N_1 のブースト電圧、例えば $1.5 V_{cc}$ [V]となるので、オーバドライブが大きいという利点もある。

[発明が解決しようとする課題]

しかしながら、かかる第16図従来例のDRAMにおいては、第1リセット信号 RES_1 をローレベル“L”にしてからチャージアップ信号CUをハイレベル“H”にするため、ノード N_1 の電圧をブーストするに際し、時間的遅れが生じてしまう。

また、ノード N_{13} をリセットする場合には、まず、チャージアップ信号CUをローレベル“L”とし、ノード N_1 の電圧を $1.5 V_{cc}$ から下降させるが、場合によっては、 V_{ss} に近くまで下降し、ノード N_{12} のハイレベル“H”を不安定としてしまう。続いて第1リセット信号 RES_1 が立ち上がることにより、ノード N_1 が $V_{cc}-V_{th}$ となり、ノ

信号 A_1 及び A_2 がハイレベル“H”になり、更に、 $T=t_4$ で、チャージアップ信号CUがハイレベル“H”になると、ノード N_9 がローレベル“L”、ノード N_{10} がハイレベル“H”になり、nMOS34がオフ状態、nMOS35がオン状態となる。この結果、ノード N_{11} は、ハイレベル“H”、ノード N_{12} はローレベル“L”となり、pMOS31、nMOS36がオフ状態、pMOS30、32がオン状態となる。

したがって、 $T=t_4$ の後、ノード N_{13} の電圧は $1.5 V_{cc}$ [V]に上昇する。

(3) 第16図従来例の利点

かかる第16図従来例のDRAMにおいては、伝送ゲートをなすpMOS32のゲートには、即ちノード N_{12} にはブースト電圧以上の電圧は印加されないで、その信頼性の向上を図ることができる。

また、ノード N_{13} の充電時におけるノード N_1 、 N_{11} 、 N_{12} 、 N_{13} の電圧を比較すると、第18図に

ード N_{12} が安定なハイレベル“H”となってpMOS32をオフ状態、nMOS36をオン状態とし、ノード N_{13} を放電することになる。このため、リセットに時間的遅れが生じてしまう。

このように、第16図従来例のDRAMにおいては、ノード N_1 の電圧をブーストする場合及びノード N_{13} をリセットする場合の時間的遅れが高速化を図る妨げになっていた。

また、第16図従来例のように、ある信号に同期したブースト方式の場合においては、DRAMのファクションの1つであるスタティック・コラム・モードにおけるアドレス等の非同期信号ではブースト容量を充電する時間がとれず、ブースト電圧が下がってしまうという問題点もあった。

本発明は、かかる点に鑑み、Nウェルに形成したpMOSを伝送ゲートとしてブースト電圧を伝送する利点を維持し、更に、ブースト電圧伝送路の充放電にかかる時間を短縮し、高速化を図ることができるようにした半導体記憶装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明の半導体記憶装置は、定常的なブースト電圧を発生するブースト電圧発生回路と、Nウエルに形成されたpMOSとを設け、前記ブースト電圧発生回路が発生する前記ブースト電圧を前記Nウエルにバイアス電圧として供給するとともに、前記ブースト電圧を前記pMOSを伝送ゲートとして前記ブースト電圧を必要とする回路に伝送するようにしたものである。

ここに、第1図は本発明の原理説明図である。この第1図において、40はブースト電圧発生回路、41はpMOS、42はブースト電圧を必要とする回路(負荷)であり、pMOS41はP型シリコン基板43に形成されたNウエル44にP⁺拡散層からなるソース45及びドレイン46を設けるとともに、ゲート酸化膜47を介してゲート電極48を設けて構成されており、ゲート電極48には制御信号S₀が供給される。なお、ブースト電圧V_{bo}は、ソース45に供給されることによってブースト電圧V_{bo}を必要とする回路42に

伝送される。また、ブースト電圧V_{bo}は、Nウエル44に形成されたN⁺拡散層49を介してNウエル44にバイアス電圧として供給される。

〔作用〕

本発明においては、ブースト電圧発生回路40が発生する定常的なブースト電圧V_{bo}をpMOS41の一方の被制御領域、例えば、ソース45に供給するようになされているので、pMOS41のソース45に接続された伝送路L₁は、常にブースト電圧V_{bo}に充電されている。即ち、第16図従来例のように、ある信号(RES₁)に同期させてpMOS41のソースに接続された伝送路L₁をブースト電圧V_{bo}に押し上げる必要がない。したがって、ブースト電圧V_{bo}を必要とする回路42を駆動する場合に時間的遅延が生じない。

また、ブースト電圧V_{bo}を必要とする回路42に接続された伝送路L₂、即ち、pMOS41のドレインに接続された伝送路L₂をリセットする場合、ソースに接続された伝送路L₁の電圧を立

ち下げる必要がない。したがって、短時間でドレインに接続された伝送路L₂のリセットを行うことができる。

〔実施例〕

以下、第2図ないし第12図を参照して、本発明の各種実施例につき説明するが、本発明は、これら実施例に限定されるものではない。なお、これら実施例は、すべて本発明をDRAMに適用した場合である。

第1実施例

第2図は本発明の第1実施例の要部を示す回路図であって、本実施例のDRAMは、その要部を、ブースト電圧発生回路50、1/4プリデコーダ51及びワードメインデコーダ52を設けて構成されており、その他については、従来周知のように構成されている。

(1) ブースト電圧発生回路50の構成

ブースト電圧発生回路50は、リング発振回路53、コンデンサ54及びnMOS55、56を設けて構成されている。

ここに、リング発振回路53はインバータ57、58、59をリング状に接続して構成され、インバータ59の出力端子をコンデンサ54の一端に接続させている。このコンデンサ54はnMOSにより構成されており、その他端をnMOS55のソース及びnMOS56のドレイン及びゲートに接続されている。

また、nMOS55のゲート及びドレインは電源線60に接続されている。また、nMOS56のソースはブースト電圧出力端子61に接続されている。

(2) ブースト電圧発生回路50の動作

ノードN₁₄には、nMOS55によってV_{cc}-V_{th}[V]が供給される。他方、リング発振回路53からは発振電圧が出力され、ノードN₁₅の電

圧は、第3図Aに示すように変化する。

したがって、コンデンサ54はチャージアップされ、ノードN₁₄の電圧は押し上げられて、第3図Bに示すようになり、この電圧がnMOS56を介してブースト電圧出力端子61に供給される。ここに、この電圧は出力側の容量によって平滑され、ブースト電圧出力端子61からは第3図Cに示すような定常的なブースト電圧V_{bo}が出力される。

本実施例においては、このブースト電圧V_{bo}が1.5 V_{cc}[V]となるようにコンデンサ54の容量が決定されている。

(3) 1/4ブリデコード51の構成

1/4ブリデコード51はpMOS62、63、64、nMOS65、66、67、68、ナンド回路69及びインバータ70を設けて構成されている。

ここに、第2リセット信号RES₂は第4図Bに示すタイミングで供給され、nMOS65のゲート

ている。

また、pMOS63のドレインはnMOS67のドレインに接続され、nMOS67のソースは接地されている。これらpMOS63のドレインとnMOS67のドレインとの接続中点(以下、ノードN₁₇という)は、pMOS62、64、nMOS68のゲートに接続されている。

また、pMOS64のドレインはnMOS68のドレインに接続され、nMOS68のソースは接地されている。

(4) 1/4ブリデコード51の動作

① まず、第4図において、T=t₁においては、第2リセット信号RES₂はハイレベル“H”、行アドレス信号A₁、A₂はローレベル“L”になっている。この結果、nMOS65、66はオン状態、ノードN₁₆は0[V]となり、pMOS63はオン状態とされる。また、nMOS67はオフ状態となるので、ノードN₁₇は1.5V_{cc}[V]となり、pMOS62、64はオフ状態、nMOS

に入力される。また、行アドレス信号A₁、A₂は第4図Cに示すタイミングで供給され、それぞれナンド回路69の第1及び第2の入力端子に入力される。

また、ナンド回路69の出力端子はインバータ70の入力端子及びnMOS66のゲートに接続されている。また、インバータ70の出力端子はnMOS67のゲートに接続されている。

また、pMOS62、63、64のソースは、ブースト電圧発生回路50のブースト電圧出力端子61に接続されている。これらpMOS62、63、64はNウエルに形成されており、このNウエルもブースト電圧発生回路50のブースト電圧出力端子61に接続されている。

また、pMOS62のドレインはnMOS65及び66のドレインに接続され、これらnMOS65及び66のソースはともに接地されている。また、pMOS62のドレインと、nMOS65及び66のドレインとの接続中点(以下、ノードN₁₈という)はpMOS63のゲートに接続され

68はオン状態となる。したがって、この時点では、pMOS64のドレインとnMOS68のドレインとの接続中点(以下、ノードN₁₈という)の電圧は、0[V]にされている。

② その後、第4図Aに示すようにRASがローレベル“L”になると、これに同期して、所定時間後、第2リセット信号RES₂がローレベル“L”になり、更に続いて、行アドレス信号A₁、A₂がハイレベル“H”になる。

この結果、nMOS65及び66がオフ状態、nMOS67がオン状態となり、ノードN₁₇が0[V]になって、pMOS62をオン状態とする。このため、ノードN₁₆は1.5V_{cc}[V]となり、nMOS68がオフ状態となる。

また、pMOS64がオン状態、nMOS68がオフ状態となるので、ノードN₁₈は、1.5V_{cc}[V]に上昇する。

③ また、その後、第2リセット信号RES₂がハイレベル“H”、行アドレス信号A₁、A₂がローレベル“L”になると、nMOS65、66はオ

ン状態となり、ノードN₁₆は0[V]となって、pMOS63はオン状態となる。また、nMOS67はオフ状態となるので、ノードN₁₇は、1.5V_{cc}[V]となり、pMOS62及び64はオフ状態、nMOS68はオン状態となる。したがって、この時点で、ノードN₁₈の電圧は、0[V]に下降する。

(5) ワードメインデコード52の構成

ワードメインデコード52は、pMOS71、72、73及びnMOS74、75、76、77、78、79、80を設けて構成されている。

ここに、pMOS71、72、73のソースはノードN₁₈に接続されている。これらpMOS71、72、73はNウェルに形成されており、このNウェルも、ノードN₁₈に接続されている。

また、pMOS71のドレインはnMOS74及び75のドレインに接続され、これらnMOS74及び75のソースはともに接地されている。なお、第3リセット信号RES₃は、第4図Gに示す

タイミングで供給され、nMOS74のゲートに入力される。

また、pMOS71のドレインとnMOS74及び75の接続中点(以下、ノードN₁₉という)は、pMOS72及びnMOS76のゲートに接続されている。

また、pMOS72のドレインはnMOS76のドレインに接続され、nMOS76のソースは接地されている。また、pMOS72のドレインとnMOS76のドレインとの接続中点(以下、ノードN₂₀という)は、pMOS71、nMOS75、pMOS73、nMOS80のゲート及びnMOS77のドレインに接続されている。

また、nMOS77のソースはnMOS78のドレインに接続され、nMOS78のソースはnMOS79のドレインに接続され、nMOS79のソースは接地されている。なお、行アドレス信号A₃、A₄、A₅は第4図Jに示すタイミングで供給され、それぞれnMOS77、78、79のゲートに入力される。

また、pMOS73のドレインはnMOS80のドレインに接続され、nMOS80のソースは接地されている。また、これらpMOS73のドレインとnMOS80のドレインとの接続中点はワード線WL₀に接続されている。

(6) ワードメインデコード52の動作

① まず、T=t₁では、第3リセット信号RES₃はハイレベル“H”、行アドレス信号A₃、A₄、A₅はローレベル“L”にあるので、nMOS74はオン状態、nMOS77、78、79はオフ状態となっている。この結果、ノードN₁₉は0[V]になり、pMOS72はオン状態、nMOS76はオフ状態となり、ノードN₂₀は1.5V_{cc}[V]になっている。したがって、また、pMOS73はオフ状態、nMOS80はオン状態となっており、ワード線WL₀は0[V]となっている。

② その後、第3リセット信号RES₃がローレベル“L”になると、nMOS74がオフ状態となり、

また続いて、行アドレス信号A₃、A₄、A₅がハイレベル“H”になると、nMOS77、78、79がオン状態となる。

この結果、ノードN₂₀は0[V]になり、pMOS71がオン状態、nMOS75がオフ状態となって、ノードN₁₉が1.5V_{cc}[V]となる。また、pMOS73がオン状態、nMOS74がオフ状態になる。したがって、ワード線WL₀の電圧は1.5V_{cc}[V]となり、ワード線WL₀は活性化される。

③ また、その後、第3リセット信号RES₃がハイレベル“H”、行アドレス信号A₃、A₄、A₅がローレベル“L”になると、nMOS74はオン状態となり、ノードN₁₉は0[V]となって、pMOS72はオン状態、nMOS76、77、78、79はオフ状態となる。この結果、ノードN₂₀は1.5V_{cc}[V]となり、pMOS71はオフ状態になる。また、pMOS73がオフ状態、nMOS80がオン状態となるので、この時点で、ワード線WL₀は、0[V]に下降し、リセット

される。

(7) 第1実施例の効果

この第1実施例においては、ブースト電圧発生回路50が発生する定常的なブースト電圧 V_{bo} をpMOS64のソースに供給するようにされているので、ノード N_{21} は常にブースト電圧 V_{bo} に充電されている。即ち、第16図従来例のように、ある信号(RES_1)に同期させてノード N_{21} のブースト電圧 V_{bo} に押し上げる必要がない。この結果、ブースト電圧 V_{bo} をノード N_{18} に伝送する場合に時間的遅延が生じない。

また、ノード N_{18} をリセットする場合、ノード N_{21} の電圧を立ち下げることがない。この結果、短時間のうちにドレインに接続されたノード N_{18} のリセットを行うことができる。

したがって、この第1実施例によれば、高速化を図ることができる。

また、この第1実施例においては、ノード N_{18} をブースト電圧レベルに押し上げる場合、第4図

かかる第2実施例によれば、第1実施例と同様の効果が得られるほか、ノード N_{18} のリセット時、ノード N_{20} のチャージアップをノード N_{18} の電圧レベルと独立して行うことができるので、安定にリセットすることができるという格別の効果を得ることができる。

第3実施例

第6図は本発明の第3実施例の要部を示す回路図であって、本実施例のDRAMは、その要部をブースト電圧発生回路82、1/4プリデコード51、ワードメインデコード52、ブースト電圧検出回路83及びブースト電圧発生制御回路84を設けて構成されており、ブースト電圧発生回路82の部分及びブースト電圧検出回路83、ブースト電圧発生制御回路84を付加した点において第1実施例と相違している。

(1) ブースト電圧発生回路82の構成

ブースト電圧発生回路82は、第1実施例(第

1に矢印Xで示すように、ノード N_{21} の電圧が下がってしまうが、ブースト電圧発生回路50のリング発振回路53の動作によって直ちにブースト電圧レベルに立ち上げることができ、ブースト電圧レベルを保証することができる。

第2実施例

第5図は本発明の第2実施例の要部を示す回路図であって、本実施例のDRAMは、その要部をブースト電圧発生回路50、1/4プリデコード51及びワードメインデコード81を設けて構成されており、ワードメインデコード81の部分のみ第1実施例と相違している。

ワードメインデコード81は、pMOS71、72のソース及びNウエルをブースト電圧発生回路50のブースト電圧出力端子61に接続され、pMOS73のソース及びNウエルをノード N_{18} に接続され、その他については、第1実施例(第2図例)のワードメインデコード52と同様に構成されている。

2図例)のブースト電圧発生回路50において、リング発振回路53の代わりに、リング発振回路85を設けるとともに、電圧安定化用のコンデン86を設け、その他については、第1実施例のブースト電圧発生回路50と同様に構成されている。

ここに、リング発振回路85はナンド回路87の出力端子をインバータ58の入力端子に接続し、インバータ58の出力端子をインバータ59の入力端子に接続し、インバータ59の出力端子をナンド回路87の一方の入力端子に接続して構成されている。

(2) ブースト電圧発生回路82の動作

リング発振回路85は、後述するブースト電圧発生制御回路84によってナンド回路87の他方の入力端子をハイレベル“H”にされている状態において、発振動作を行い、ブースト電圧 V_{bo} 、即ち、ノード N_{21} の電圧を上昇させ、また、ナンド回路87の他方の入力端子をローレベル“L”にされている状態において、発振動作を停止し、

ブースト電圧 V_{bo} 、即ち、ノード N_{21} の電圧を下降させる。

(3) ブースト電圧検出回路 83 の構成

ブースト電圧検出回路 83 は、ノード N_{21} の電圧 V_{N21} が下降して $V_{N21} = V_1 = V_{cc} + 2V_{th}$ になったとき、及び、ノード N_{21} の電圧が上昇して $V_{N21} = V_2 = V_{cc} + 3V_{th}$ になったときを、それぞれ検出しようとするものであり、 V_{N21} 分圧部 88、 V_1 検出部 89、 V_2 検出部 90 を設けて構成されている。

ここに、 V_{N21} 分圧部 88 は、4 個の pMOS 91、92、93、94 を順方向にダイオード接続し、pMOS 91 のソースをノード N_{21} に接続すると共に、pMOS 94 のゲート及びドレインを接続し、その接続中点（以下、ノード N_{22} という）を抵抗器 95 を介して接地して構成されている。

また、 V_1 検出部 89 は、pMOS 96、97、98 から構成されており、pMOS 96 は、その

続されている。

(4) ブースト電圧検出回路 83 の動作

① ノード N_{22} の電圧 V_{N22} は、

$$V_{N22} = V_{N21} - 4V_{th}$$

となる。ここに、pMOS 98 がオフする条件は、

$$V_{cc} - 2V_{th} < V_{N22} = V_{N21} - 4V_{th}$$

即ち、

$$V_{N21} > V_{cc} + 2V_{th} = V_1$$

となる。また、pMOS 102 がオフする条件は

$$V_{cc} - V_{th} < V_{N22} = V_{N21} - 4V_{th}$$

即ち、

$$V_{N21} > V_{cc} + 3V_{th} = V_2$$

となる。

② この結果、 V_{N21} が V_1 よりも下降した場合には、pMOS 98 及び 102 はオン状態となり、ノード N_{23} 及び N_{24} は、ともにローレベル "L" になる。

その後、 V_{N21} が $V_1 < V_{N21} < V_2$ になったときは、pMOS 98 がオフ状態となり、ノード

ソースを電源線 99 に接続され、そのゲートを接地され、そのドレインを pMOS 97 のソースに接続されている。また、pMOS 97 は、そのゲート及びドレインを接続し、その接続中点（以下、ノード N_{23} という）を pMOS 98 のソースに接続されている。また、pMOS 98 は、そのゲートをノード N_{22} に接続され、そのドレインを接地されている。また、ノード N_{23} は、後述するブースト電圧発生制御回路 84 を構成するフリップフロップ 100 の \bar{R} 入力端子に接続されている。

また、 V_2 検出部 90 は、pMOS 101 及び 102 から構成されており、pMOS 101 は、そのソースを電源線 99 に接続され、そのゲートを接地され、そのドレインを pMOS 102 のソースに接続されている。また、pMOS 102 は、そのゲートをノード N_{22} に接続され、そのドレインを接地されている。また、pMOS 101 のドレインと pMOS 102 のソースの接続中点（以下、ノード N_{24} という）は、インバータ 103 を介してフリップフロップ 100 の \bar{S} 入力端子に接

N_{23} は、ハイレベル "H" に反転する。なお、pMOS 102 はオン状態のままで、ノード N_{24} はローレベル "L" を維持する。

また、 V_{N21} が V_2 よりも上昇した場合には、pMOS 98 及び 102 はともにオフ状態となり、ノード N_{23} はハイレベル "H" を維持し、ノード N_{24} はハイレベル "H" に反転する。

(5) ブースト電圧発生制御回路 84 の構成

ブースト電圧発生制御回路 84 は、インバータ 103、104、フリップフロップ 100 を設けて構成されており、フリップフロップ 100 は、ナンド回路 105、106 から構成されている。ここに、Q 出力端子はインバータ 104 を介してリング発振回路 85 のナンド回路 87 の他方の入力端子に接続されている。

(6) ブースト電圧発生制御回路 84 の動作

① いま仮に、ノード N_{21} の電圧 V_{N21} が V_1 よりも下降したとすると、ノード N_{23} 及び N_{24} は、

ともにローレベル“L”になるので、フリップフロップ100の \overline{S} 入力端子はハイレベル“H”、 \overline{R} 入力端子はローレベル“L”にされる。この結果、Q出力端子はローレベル“L”を出力し、ナンド回路87の他方の入力端子には、ハイレベル“H”が供給される。したがって、この場合には、リング発振回路85は発振動作を開始し、ノード N_{21} の電圧 V_{N21} を上昇させる。

② 次に、ノード N_{21} の電圧 V_{N21} が $V_1 < V_{N21} < V_2$ になると、ノード N_{23} はハイレベル“H”に反転し、ノード N_{24} はローレベル“L”を維持する。この結果、 \overline{S} 入力端子及び \overline{R} 入力端子はともにハイレベル“H”にされるので、Q出力端子の出力は変化せず、ローレベル“L”を維持する。したがって、 $V_1 < V_{N21} < V_2$ の場合には、ナンド回路87の他方の入力端子には、ハイレベル“H”が供給されるので、リング発振回路85は発振動作を続け、ノード N_{21} の電圧 V_{N21} を更に上昇させる。

③ その後、ノード N_{21} の電圧 V_{N21} が V_2 より

も上昇すると、ノード N_{23} 及び N_{24} は、ともにハイレベル“H”になるので、 \overline{S} 入力端子はローレベル“L”に反転し、これに反響して、Q出力端子の出力は反転してハイレベル“H”となる。この結果、ナンド回路87の他方の入力端子にはローレベル“L”が供給される。したがって、この場合には、リング発振回路85は発振動作を停止し、ノード N_{21} の電圧 V_{N21} は下降を開始する。

④ そしてまた、ノード N_{21} の電圧 V_{N21} が V_1 よりも下降すると、上述①記載の動作を開始し、ノード N_{21} の電圧 V_{N21} を上昇させる。以後、同様な動作が繰り返される。

なお、第7図は、第3実施例の動作を示すタイムチャートである。

(7) 第3実施例の効果

この第3実施例によれば、第1実施例と同様の効果が得られるほか、ブースト電圧発生回路82を構成するリング発振回路85のスタンバイ電流をなくすることができるので、消費電力の低減化を

図ることができるという格別の効果が得られる。

第4実施例

第8図は本発明の第4実施例の要部を示す回路図であって、本実施例は、第3実施例におけるワードメインデコード52を第2実施例に示すワードメインデコード81で置き換えたものである。

かかる第4実施例によれば、第2実施例と同様の効果が得られるほか、第3実施例と同様に、消費電力の低減化を図ることができる。

第5実施例

第9図は本発明の第5実施例の要部を示す回路図であり、本実施例のDRAMは、内部降圧電源回路107を設け、その他については、第1実施例と同様に構成したものである。

内部降圧電源回路107は、pMOS108、109、110、111、112、113、nMOS114及び抵抗器115を設けて構成されている。ここに、pMOS108、109、110、

111、112、113は順方向にダイオード接続され、pMOS108のソースを抵抗器115を介して電源線116に接続されるとともに、nMOS114のゲートに接続されている。また、pMOS113のゲート及びドレインは接地されている。また、nMOS114は、そのドレインを電源線116に接続され、そのソースに降圧電圧 $V_{cc'}$ を得られるようにされている。

かかる第5実施例においては、第1実施例と同様の効果が得られるほか、外部電源電圧 V_{cc} の変動に対して安定なブースト電圧 V_{bo} を得ることができるという格別の効果が得られる。

第6実施例

第10図は本発明の第6実施例の要部を示す回路図であり、本実施例のDRAMは、第3実施例に第9図に示した内部降圧電源回路107を適用したものである。

かかる第6実施例においては、第3実施例と同様の効果が得られるほか、外部電源電圧 V_{cc} の変

動に対して安定なブースト電圧 V_{bo} を得ることができるといふ格別の効果が得られる。

第7実施例

第11図は本発明の第7実施例の要部を示す回路図であり、本実施例は本発明をアドレスバッファ116と、コラムデコーダ117に適用した例であり、第12図はその動作を示すタイムチャートである。なお、第11図において、118、119はそれぞれ負荷容量を示している。

その他

第1実施例及び第2実施例においては、ブースト電圧を $1.5V_{cc}$ [V]とした場合につき述べたが、かかる電圧値は製品の種類等によって適宜、決定されるものである。

また、上述の実施例においては、本発明をDRAMの行デコーダ、アドレスバッファ及びコラムデコーダに適用した場合につき述べたが、その他、ブースト電圧を必要とする回路に種々、適用する

また、ブースト電圧発生回路が出力するブースト電圧が第1の所定電圧値に下降したとき、第1の検出信号を出力し、ブースト電圧が第1の所定電圧値よりも高い第2の所定電圧値に上昇したとき、第2の検出信号を出力するブースト電圧検出回路と、第1の検出信号にตอบสนองしてブースト電圧を上昇させ、第2の検出信号にตอบสนองしてブースト電圧を下降させるようにブースト電圧発生回路を制御するブースト電圧発生制御回路とを設ける場合には、ブースト電圧発生回路を構成する発振回路のスタンバイ電流をなくすことができるので、消費電力の低減化を図ることができるという格別の効果が得られる。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の第1実施例の要部を示す回路図、

第3図は本発明の第1実施例（第2図例）のブースト電圧発生回路の動作を示すタイムチャート、

ことができる。

〔発明の効果〕

本発明によれば、ブースト電圧発生回路が発生する定常的なブースト電圧をpMOSの一方の被制御領域、例えば、ソースに供給するという構成を採用したことにより、pMOSのソースに接続された伝送路を常にブースト電圧に充電し、第16図従来例のように、ある信号（ RES_1 ）に同期させて、pMOSのソースに接続された伝送路をブースト電圧に押し上げる必要がないので、ブースト電圧を必要とする回路（負荷）を駆動する場合に時間的遅延を生じさせない。また、ブースト電圧を必要とする回路（負荷）に接続された伝送路、即ち、pMOSのドレインに接続された伝送路をリセットする場合、ソースに接続された伝送路の電圧を立ち下げる必要がないので、短時間のうちにドレインに接続された伝送路のリセットを行うことができる。したがって、高速化を図ることができるという効果がある。

第4図は本発明の第1実施例（第2図例）の動作を示すタイムチャート、

第5図は本発明の第2実施例の要部を示す回路図、

第6図は本発明の第3実施例の要部を示す回路図、

第7図は本発明の第3実施例（第6図例）の動作を示すタイムチャート、

第8図は本発明の第4実施例の要部を示す回路図、

第9図は本発明の第5実施例の要部を示す回路図、

第10図は本発明の第6実施例の要部を示す回路図、

第11図は本発明の第7実施例の要部を示す回路図、

第12図は本発明の第7実施例（第11図例）の動作を示すタイムチャート、

第13図は従来のDRAMの一例の要部を示す回路図、

第14図は第13図従来例の動作を説明するための
タイムチャート、

第15図は第13図従来例の問題点を説明するた
めの波形図、

第16図は従来のDRAMの他の例の要部を示す
回路図、

第17図は第16図従来例の動作を説明するた
めのタイムチャート、

第18図は第16図従来例の利点を説明するた
めの波形図である。

40...ブースト電圧発生回路

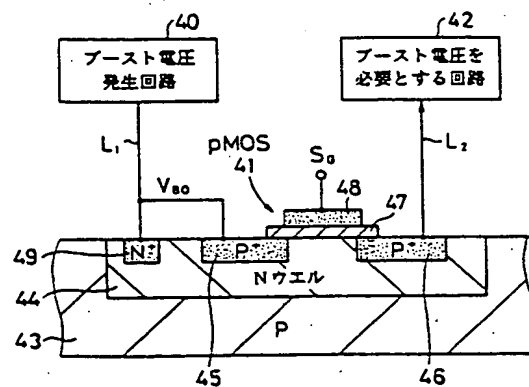
41...pMOS

42...ブースト電圧を必要とする回路

V_{so} ...ブースト電圧

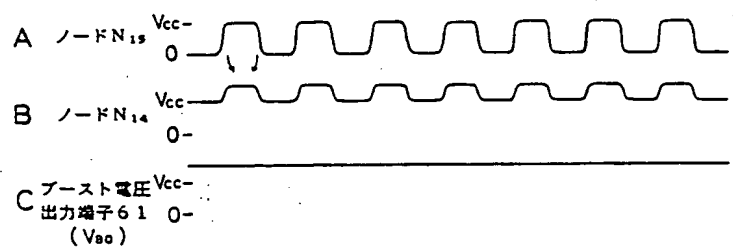
V_{cc} ...電源電圧

代理人 井理士 井桁貞



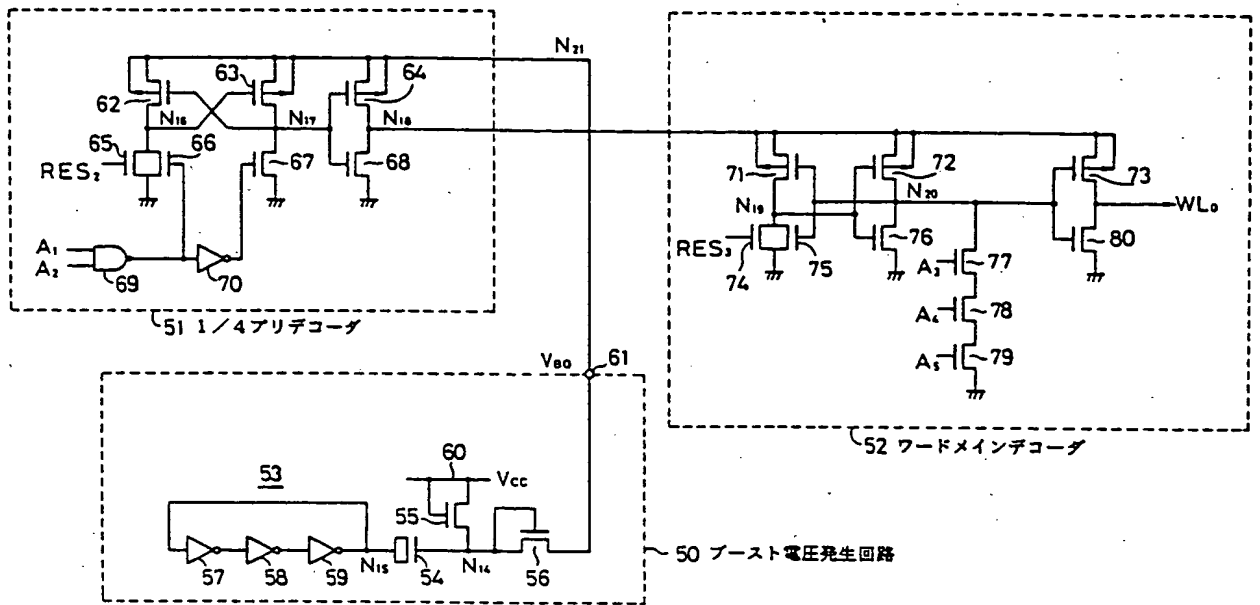
本発明の原理説明図

第1図



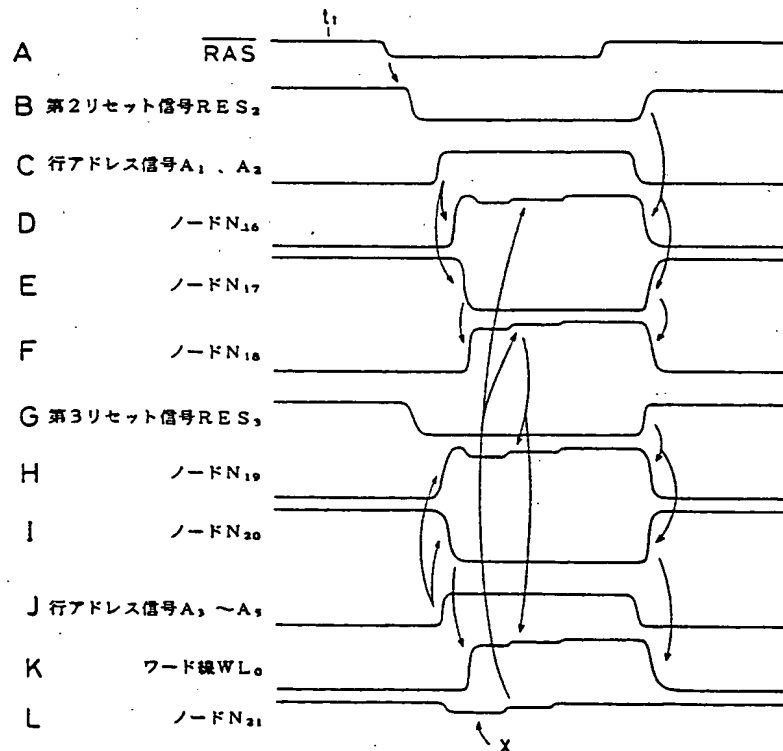
第1実施例(第2図例)のブースト電圧発生回路の
動作を示すタイムチャート

第3図



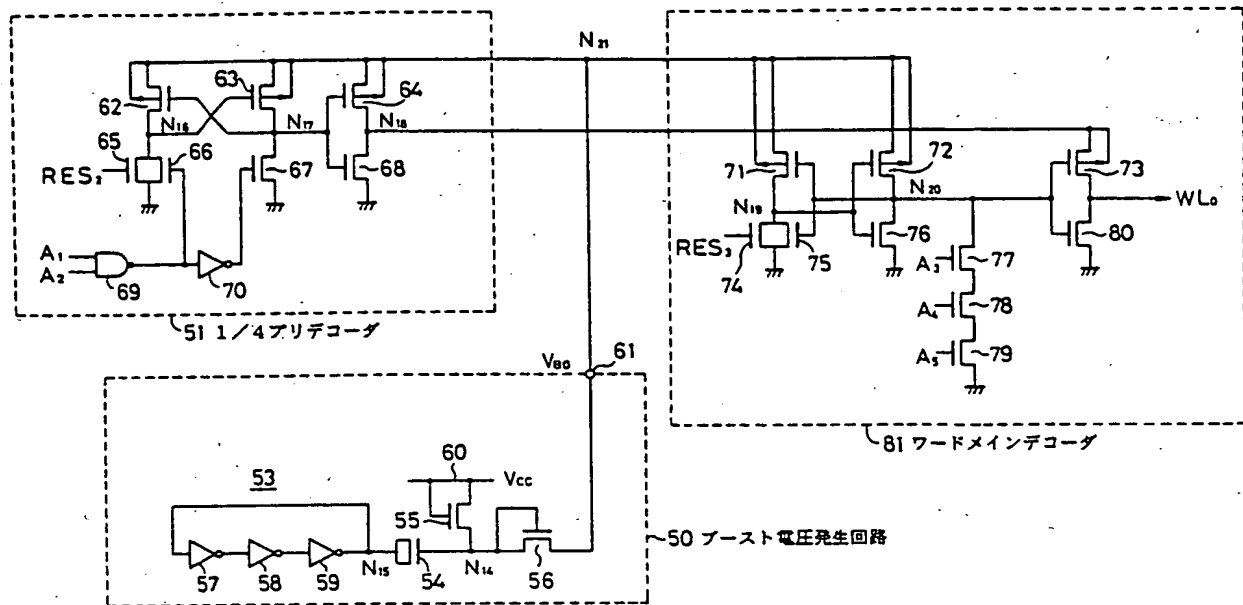
第1実施例の要部

第2図



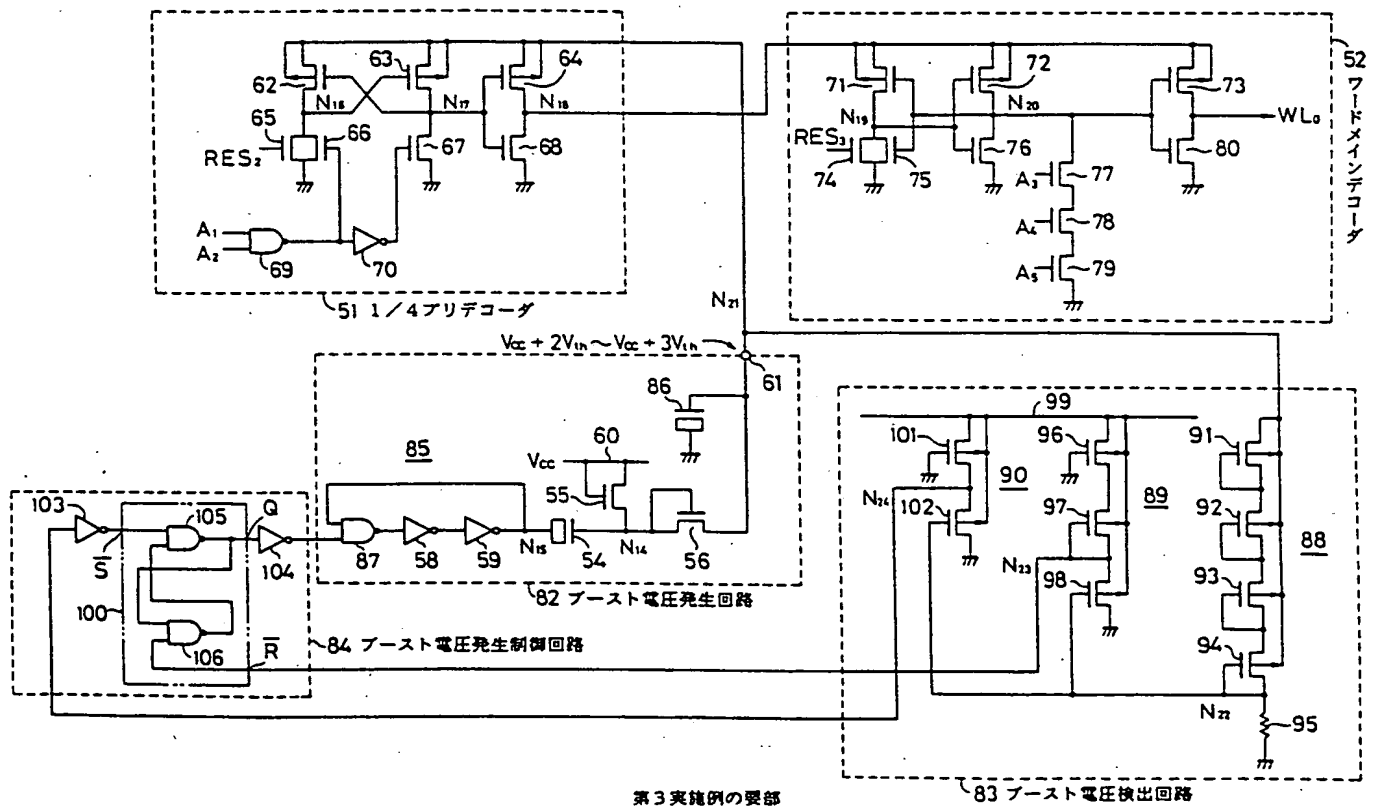
第1実施例(第2図例)の動作を示すタイムチャート

第4図



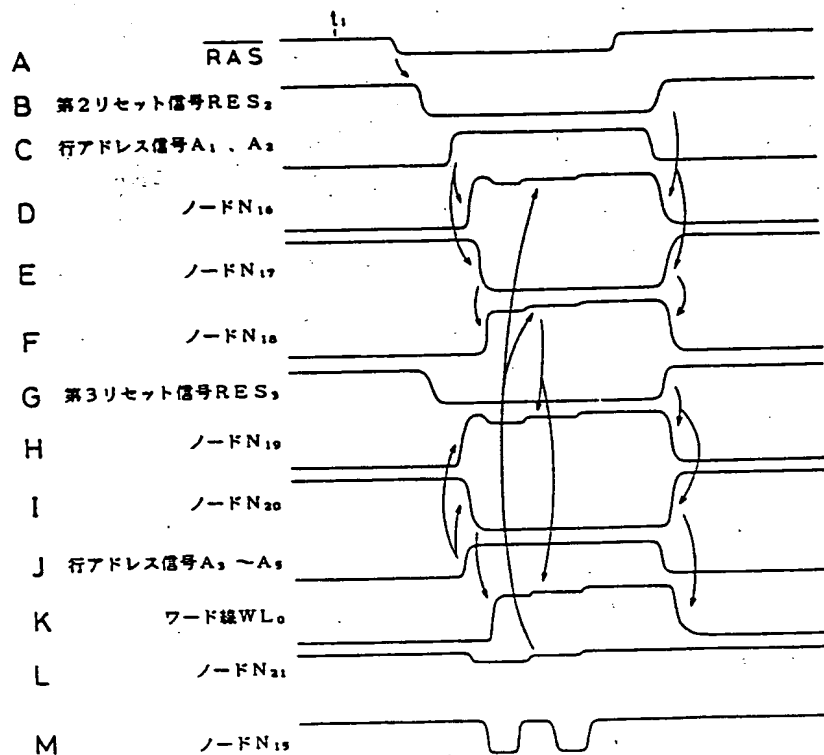
第2実施例の要部

第5図



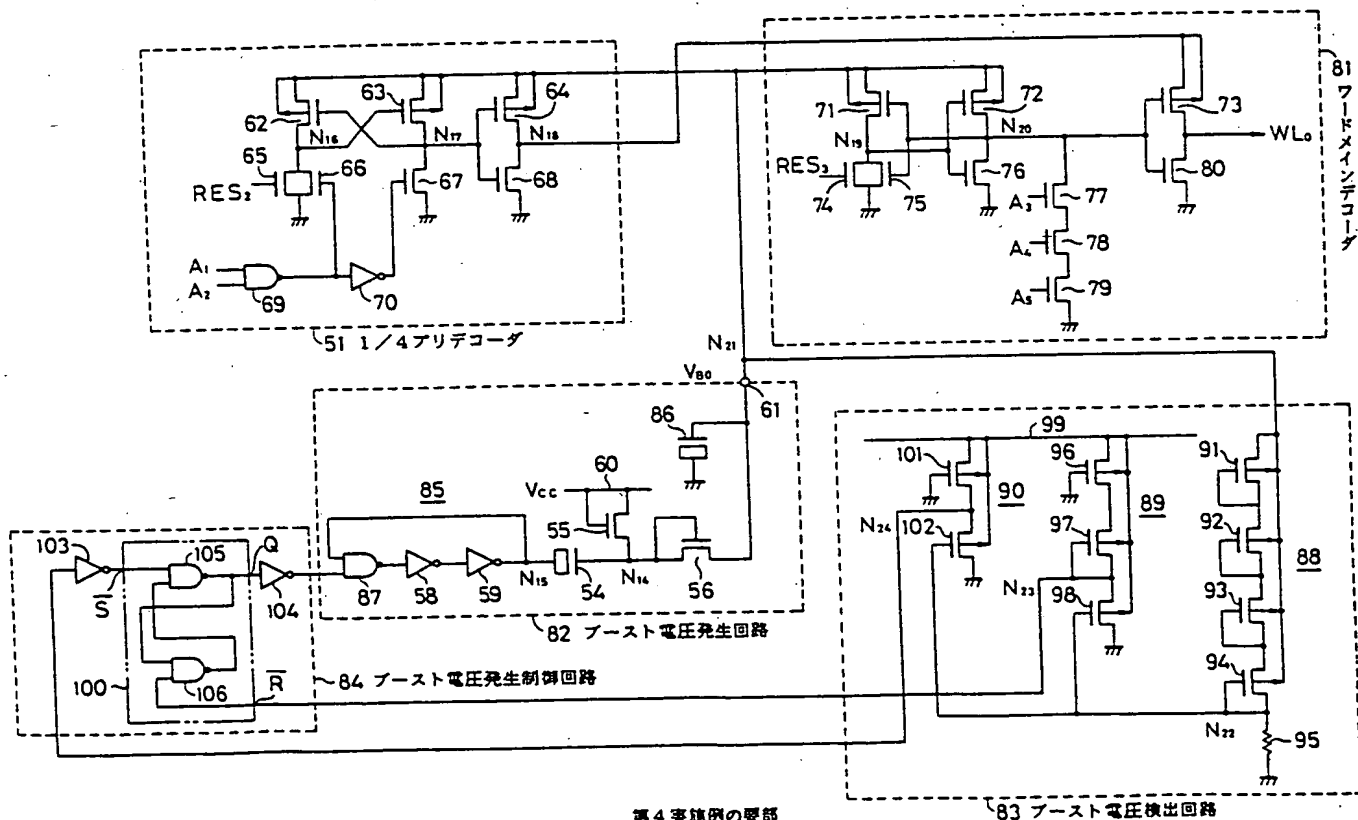
第3実施例の要部

第6図



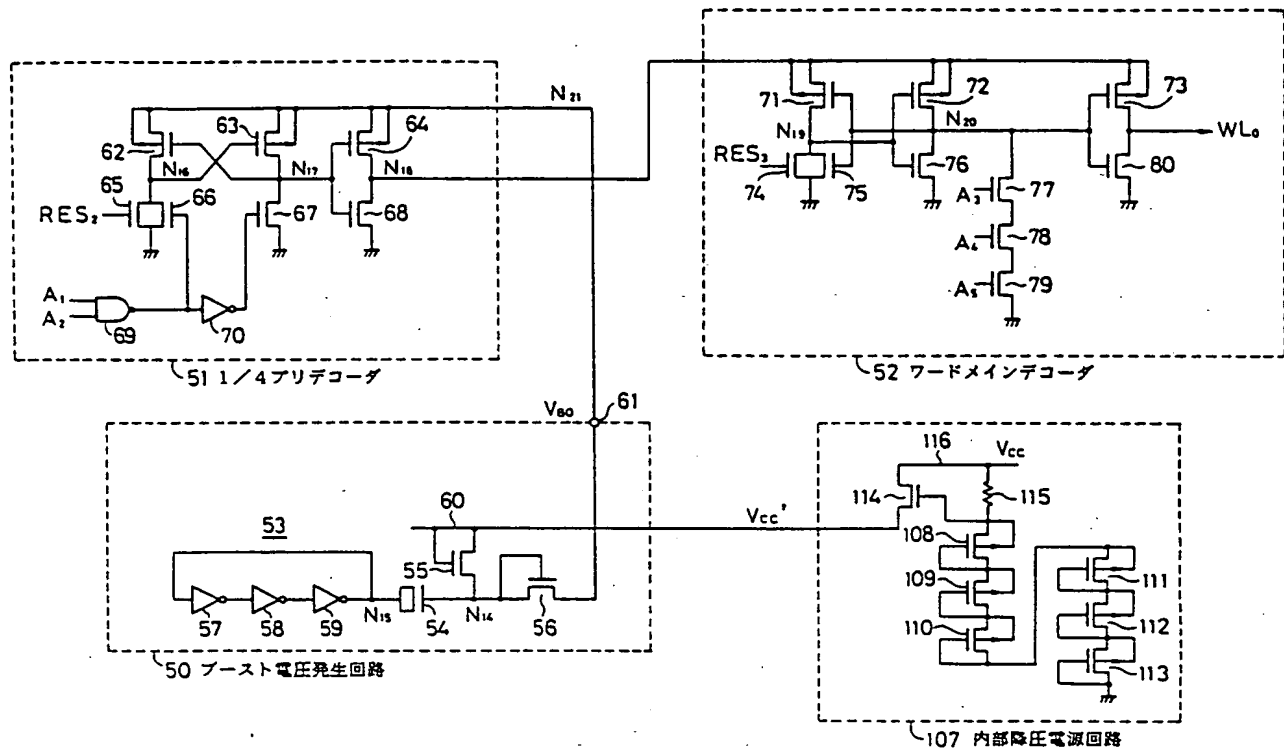
第3実施例(第6図例)の動作を示すタイムチャート

第7図

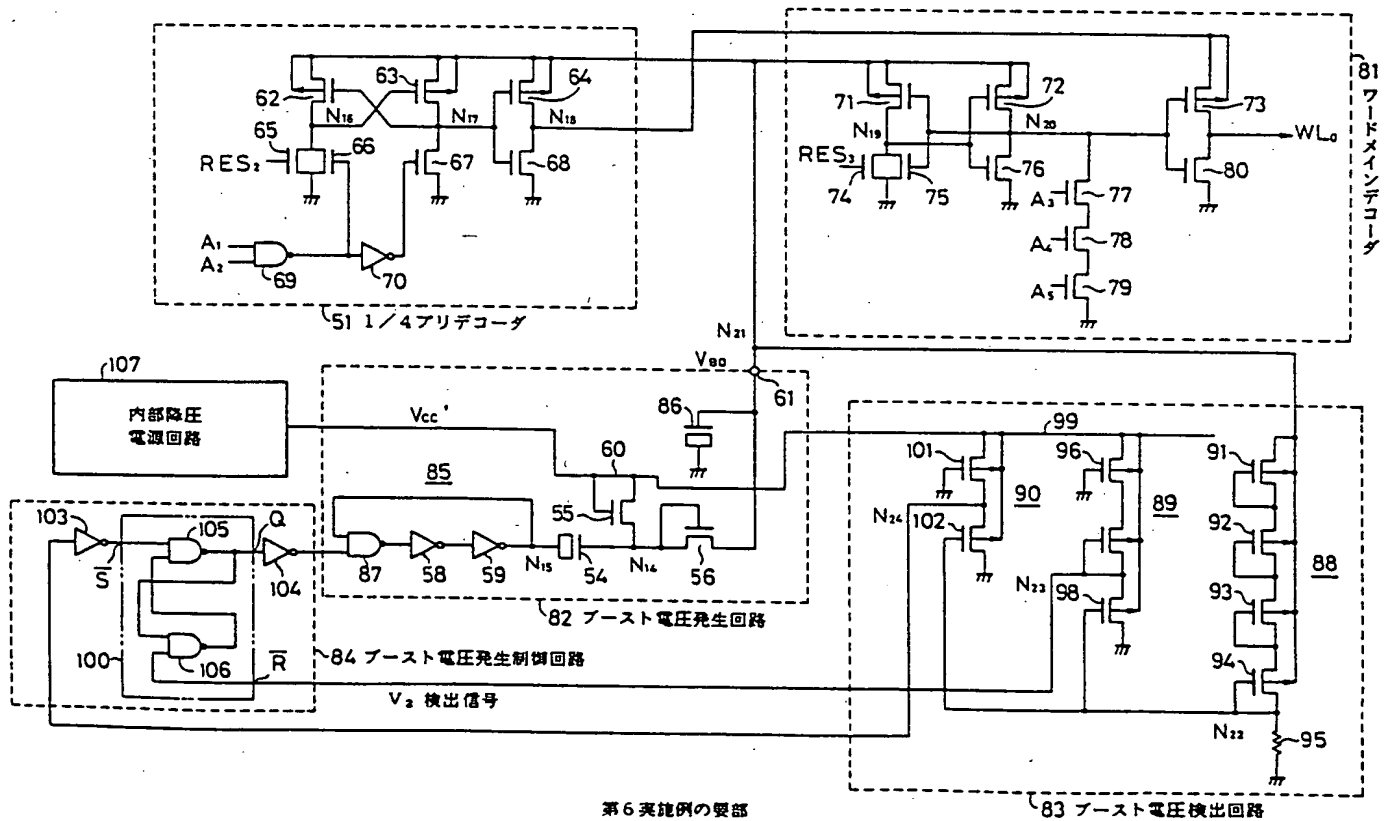


第4実施例の要部

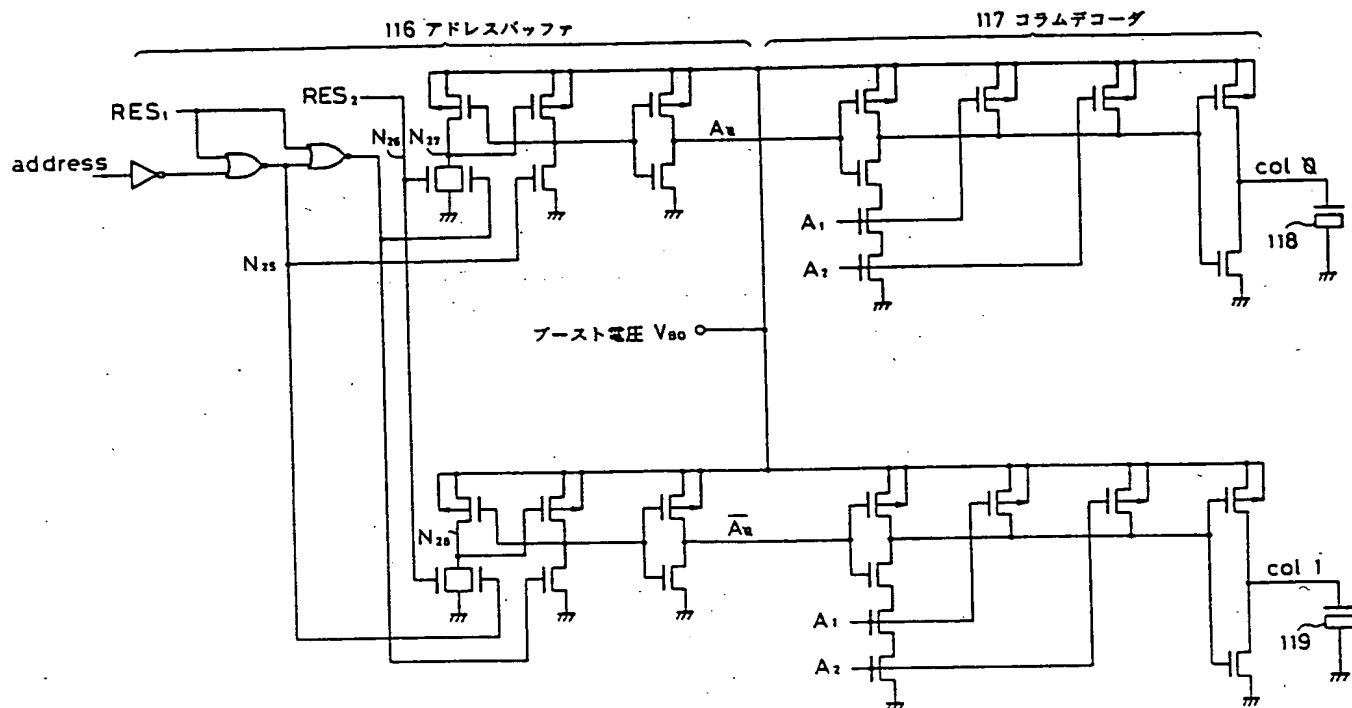
第8図



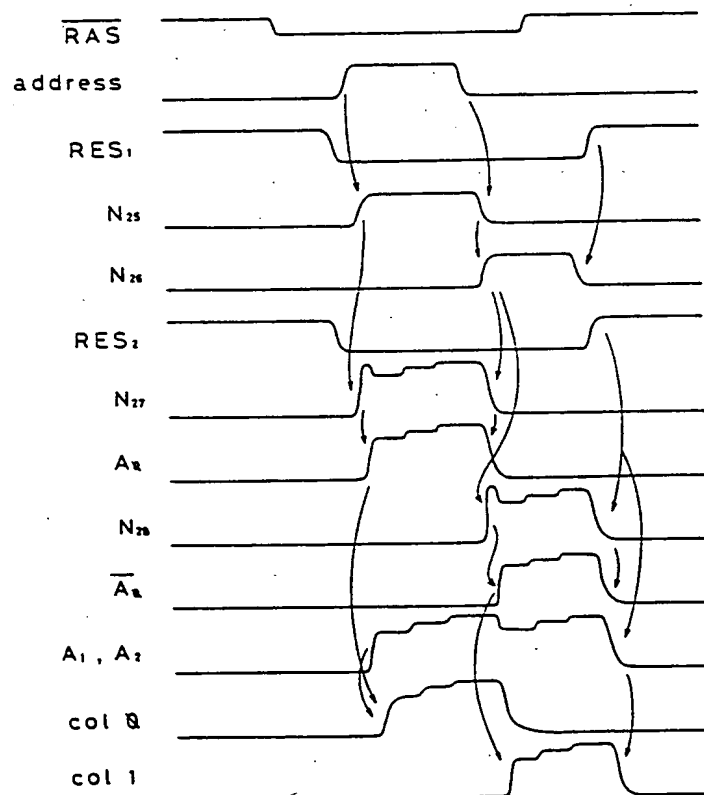
第5実施例の要部
第9図



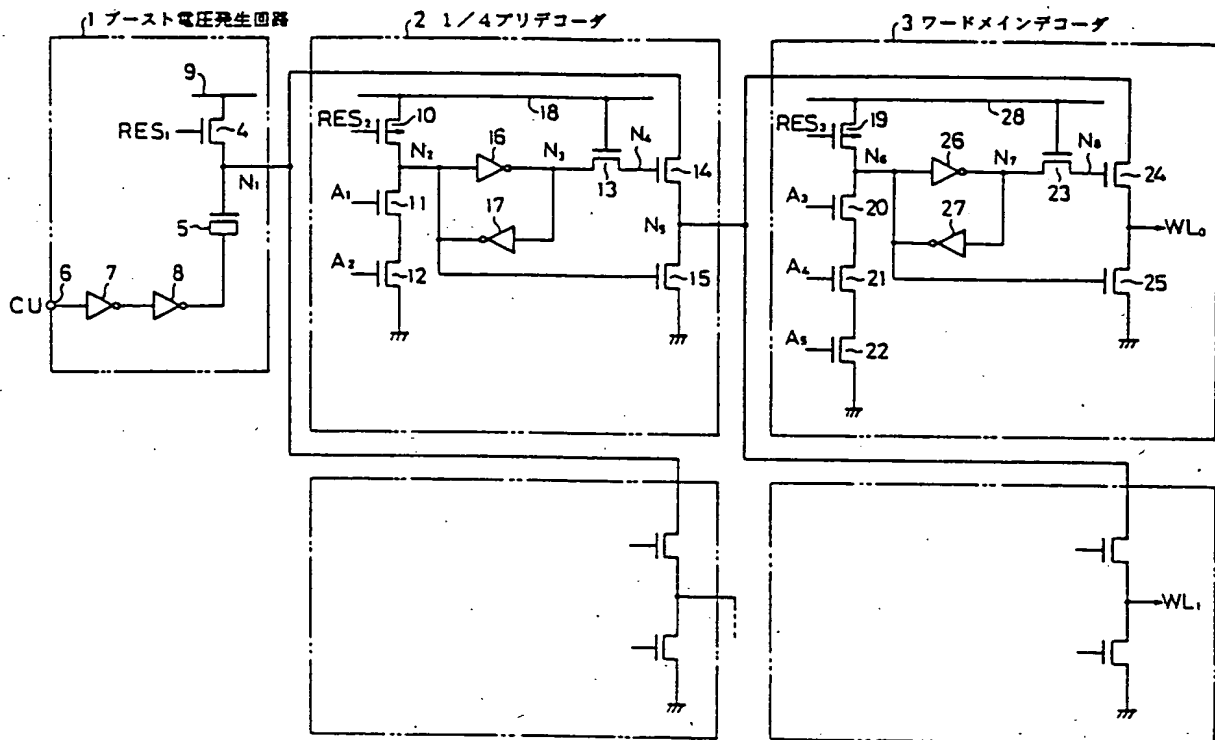
第6実施例の要部
第10図



第7実施例の要部
第11図

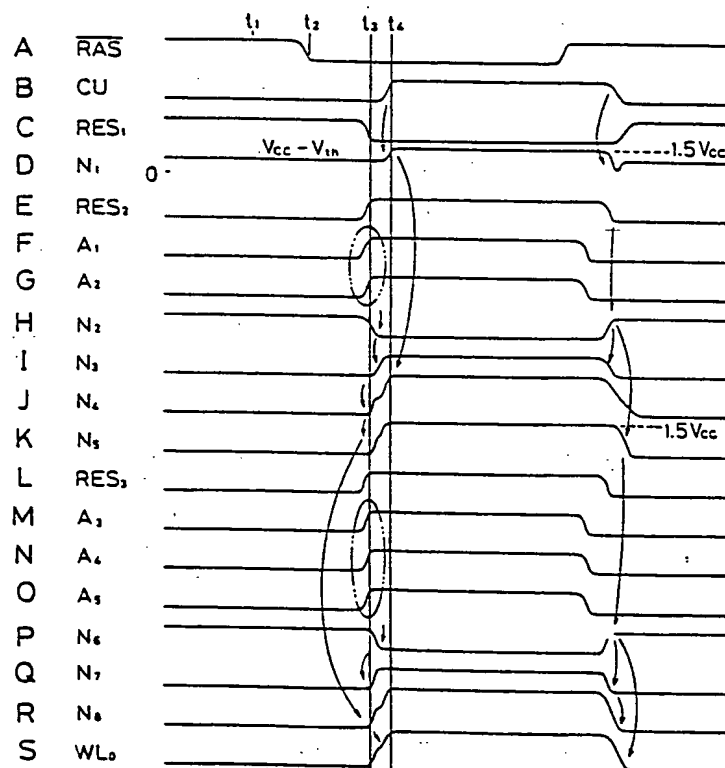


第7実施例(第11図例)の動作を示すタイムチャート
第12図



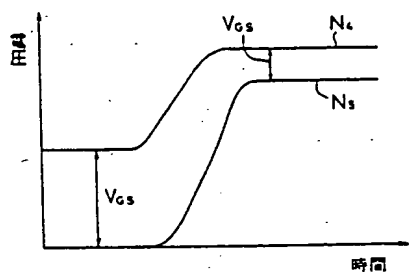
従来のDRAMの一例の要部

第13図



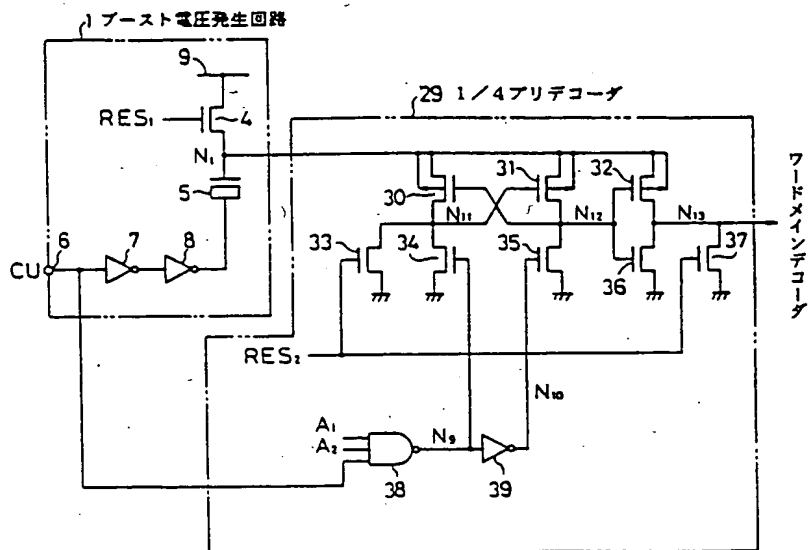
第13図従来例の動作を説明するためのタイムチャート

第14図



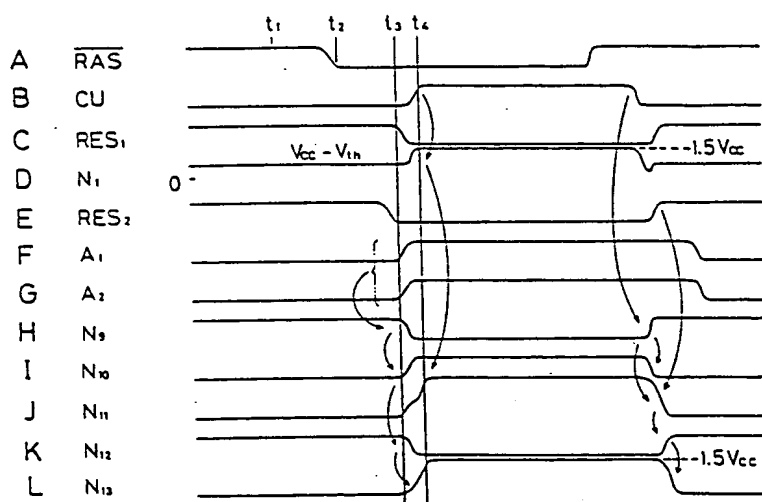
第13図従来例の問題点を説明するための波形図

第15図



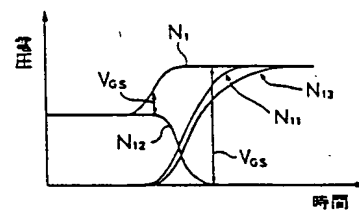
従来のDRAMの他の例の要部

第16図



第16図従来例の動作を説明するためのタイムチャート

第17図



第16図従来例の利点を説明するための波形図

第18図

AOYAMA & PARTNERS

REGISTERED PATENT ATTORNEYS

T. Aoyama
Y. Furukawa
Y. Tamura
S. Amari
T. Omori
E. Kaizaki
T. Higuchi
O. Kawamiya
M. Tanaka
M. Iwasaki, Ph.D.
S. Nakajima
K. Kojima
Y. Tsuboi
H. Yamazaki
A. Itoh
Y. Shibata
H. Ishii
M. Yamamoto
M. Wada
M. Ishino
A. Maeda
M. Saito
P. umi
M. ma
T. Ueda, Ph.D.
K. Tashiro
M. Yano
T. Yamada
T. Nakajima
Y. Kitahara
H. Takayama
H. Kano
M. Matsutani
I. Ohnishi
S. Genba
Y. Maehori
T. Yasumura
M. Matsui
S. Yoshitoshi
R. Nakano

IMP Building 16F
1-3-7, Shiromi
Chuo-ku, Osaka
540-0001 JAPAN

Mail Address : Osaka Central P.O.Box 16, JAPAN 530-8691

PHONE : (81) 6-949-1261
FAX : (81) 6-949-0361 (G3)
: (81) 6-949-0362 (G4)
E-MAIL : info@aoyamapat.gr.jp

Date:

Your Ref:

Our Ref:

November 4, 1998

MOS95-02A Japan

133085

Mr. James M. Smith
HAMILTON, BROOK,
SMITH & REYNOLDS, P.C.
Two Militia Drive
Lexington, MA 02173-4799
U.S.A.

VIA AIRMAIL

Re: Japanese Patent Application
Ser. No. 073379/1991
MOSAID Technologies Incorporated

Dear Mr. Smith:

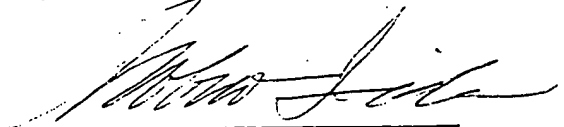
Thank you for your letter of October 16, 1998.

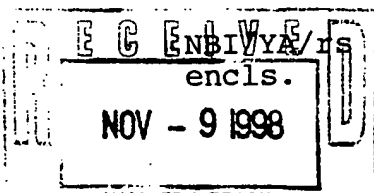
In accordance with your instruction, we herewith enclose the English translation of Japanese Patent Application No. H1-223638 (Laid Open Publication No. H3-86995) as well as our debit note for our services rendered.

In our debit note, please bear in mind that the counted number of translation words is totally 8,848 words and the charge for translation is totally 265,440 yen (cf. 30 yen per word).

With best regards.

Sincerely yours,
AOYAMA & PARTNERS


Nobuo IIDA



AN

SPECIFICATION

1. TITLE OF THE INVENTION

SEMICONDUCTOR MEMORY DEVICE

2. WHAT IS CLAIMED IS:

1. A semiconductor memory device characterized by comprising:

a boost voltage generation circuit for generating a stationary boost voltage;

a (p) channel insulation gate type of field effect transistor formed in an N well;

and

said boost voltage generated by said boost voltage generation circuit being supplied to said N well as a bias voltage and simultaneously said boost voltage is transmitted, through said (p) channel insulation gate type of field effect transistor as a transmission gate, to a circuit needing said boost voltage.

2. A semiconductor memory device characterized by comprising:

a (p) channel insulation gate type of field effect transistor formed in an N well;

a boost voltage generation circuit for generating a stationary boost voltage;

a boost voltage detection circuit for outputting a first detection signal when said boost voltage outputted from said boost voltage generation circuit has gone down to a first predetermined voltage value, and outputting a second detection signal when said boost voltage has gone up to a second predetermined voltage value higher than said first predetermined voltage value;

a boost voltage generation control circuit for so controlling said boost voltage generation circuit as to increase said boost voltage in response to said first detection signal outputted from said boost voltage detection circuit, and as to decrease said boost voltage in response to said second detection signal outputted from said boost voltage

detection circuit; and

said boost voltage generated by said boost voltage generation circuit being supplied to said N well as a bias voltage and simultaneously being transmitted, through said (p) channel insulation gate type of field effect transistor as a transmission gate, to a circuit needing said boost voltage.

3. DETAILED DESCRIPTION OF THE INVENTION

[CONTENTS]

Summary

Industrial field of the Invention

Prior art

An example of conventional DRAM (Figs. 13 to 15)

Another example of conventional DRAM (Figs. 16 to 18)

Problems to be solved by the Invention

Means for solving the problems (Fig. 1)

Effects

Embodiments

First embodiment (Figs. 2 to 4)

Second embodiment (Fig. 5)

Third embodiment (Figs. 6 and 7)

Fourth embodiment (Fig. 8)

Fifth embodiment (Fig. 9)

Sixth embodiment (Fig. 10)

Seventh embodiment (Figs. 11 and 12)

Others

EFFECTS OF THE INVENTION

[SUMMARY]

The present invention relates to a semiconductor memory device such as dynamic random access memory,

has an object of maintaining the advantage of transmitting a boost voltage through a pMOS formed in an N well as a transmission gate, and also contriving the high speed operation by reducing the time required for the charge/discharge of the boost voltage transmission path, and

comprises a boost voltage generation circuit for generating a stationary boost voltage; a (p) channel insulation gate type of field effect transistor formed in the N well; and the boost voltage generated by the boost voltage generation circuit is supplied to the N well as a bias voltage and simultaneously the boost voltage is transmitted, through the (p) channel insulation gate type of field effect transistor as a transmission gate, to a circuit needing the boost voltage.

[INDUSTRIAL FIELD OF THE INVENTION]

The present invention relates to a semiconductor memory device such as dynamic random access memory (hereinafter referred to as DRAM).

In DRAM, a memory cell is generally composed of a capacitor for accumulating electric charge and an (n) channel insulation gate type of field effect transistor (hereinafter referred to as nMOS) for controlling the input/output of the charge. In such DRAM, when charge is accumulated in the capacitor during the data writing (when logical "1" is stored), a bit line is supplied with a power-supply voltage V_{cc} [V] whereas a word line is supplied with a so-called boost voltage of, for example, $1.5V_{cc}$ [V] higher than the

power-supply voltage $V_{cc}[V]$. The reason for this is as follows.

If the word line is supplied with the same amount of power-supply voltage $V_{cc}[V]$ as the bit line, then the voltage to be supplied to the capacitor becomes $V_{cc} - V_{th}[V]$ (V_{th} is a threshold voltage of the nMOS for controlling the input/output of charge), which reduces the amount of charge to be accumulated in the capacitor. This causes a problem that a cycle of a refreshing operation must be repeated in short intervals.

Although the charge amount to be accumulated can be increased by expanding the area of the capacitor, this makes it impossible to realize high integration. For this reason, such DRAM allows the power-supply voltage $V_{cc}[V]$ to be supplied to the capacitor by setting the voltage for activating the word line, namely, the word line drive voltage to the above-mentioned boost voltage of, for example, $1.5V_{cc}[V]$, thereby to increase the charge amount to be accumulated.

[PRIOR ART]

An example of conventional DRAM

Figs. 13 and 14 show the main part circuit and the time chart, respectively, of conventional DRAM which supplies a word line with a boost voltage.

In Fig. 13, 1 represents a boost voltage generation circuit, 2 represents 1/4 predecoder, and 3 represents a word main decoder. In this DRAM, a line address signal consists of 5 bits.

(1) Structure of the boost voltage generation circuit 1

The boost voltage generation circuit 1 is composed of an nMOS4, a capacitor 5, a charge up signal input terminal 6, and inverters 7, 8. The capacitor 5 is composed of an nMOS.

The nMOS 4 is connected with a power-supply line 9 and one end of the capacitor 5 by the drain and the source, respectively. The gate of the nMOS 4 is supplied with a first reset signal RES_1 of C shown in Fig. 14.

The charge up signal input terminal 6 is connected with the input terminal of the inverter 7, the output terminal of the inverter 7 is connected with the input terminal of the inverter 8, and the output terminal of the inverter 8 is connected with the other end of the capacitor 5. The charge up signal input terminal 6 is supplied with a charge up signal CU of B shown in Fig. 14.

(2) Operation of the boost voltage generation circuit 1

① In Fig. 14, at $T = t_1$, the charge up signal CU is in the state of low level "L", so that the other end of the capacitor 5 has the ground voltage 0[V]. Since the first reset signal RES_1 is in the high level "H", the nMOS 4 is in the "on" state. Consequently, at $T = t_1$, the voltage at the connection middle point (hereinafter referred to as node N_1) between the drain of the nMOS4 and one end of the capacitor 5 is $V_{cc} - V_{th}$ [V].

② Later, when \overline{RAS} (row address strobe) signal becomes the low level "L" at $T = t_2$, a predetermined time lag is caused. At $T = t_3$, the first reset signal RES_1 becomes the low level "L". As a result, the nMOS 4 enters the "off" state, but the charge up signal CU is in the low level "L", so that the other end of the capacitor 5 maintains the ground voltage 0[V].

Therefore, at $T = t_3$, the potential of the node N_1 remains $V_{cc} - V_{th}$ [V].

③ Later, at $T = t_4$, the charge up signal CU becomes the high level "H", and in response to this, the other end of the capacitor 5 is supplied with the power-supply voltage V_{cc} [V]. Consequently, the capacitor 5 is charged up and the voltage of one of its ends, namely, the node N_1 is boosted. In the present embodiment, the capacity of the capacitor 5 is so

decided as to make the voltage of the node N_1 $1.5V_{cc}$ [V].

(3) Structure of the 1/4 predecoder 2

The 1/4 predecoder 2 is composed of a (p) channel insulation gate type of field effect transistor (hereinafter referred to as pMOS) 10, nMOSs 11, 12, 13, 14, 15 and inverters 16, 17.

The pMOS 10 is connected with the power-supply line 18 and the drain of the nMOS 11 by the source and the drain, respectively. The source of the nMOS 11 is connected with the drain of the nMOS 12, and the source of the nMOS 12 is connected to the ground.

To the gate of the nMOS 10, the second reset signal RES_2 of E shown in Fig. 14 is inputted.

To the gates of the nMOSs 11, 12, the line address signals A_1 , A_2 are entered at the timing of F, G, respectively, shown in Fig. 14.

The connection middle point (hereinafter referred to as node N_2) between the drain of the pMOS 10 and the drain of the nMOS 11 is connected to the input terminal of the inverter 16, the output terminal of the inverter 17, and the gate of the nMOS 15.

The output terminal of the inverter 16 and the input terminal of the inverter 17 are connected with each other and their connection middle point (hereinafter referred to as node N_3) is connected with the drain of the nMOS 13, and the source of the nMOS 13 is connected with the gate of the nMOS 14.

The nMOS 14 is connected with the node N_1 and the drain of the nMOS 15 by the drain and the source, respectively. The source of the nMOS 15 is connected to the ground.

(4) Operation of the 1/4 predecoder

① First, at $T = t_1$, the second reset signal RES_2 and the address signals A_1, A_2 are in the low level "L", so that the pMOS 10 is in the "on" state and the nMOSs 11 and 12 are in the "off" state. Consequently, the voltage of the node N_2 is made $V_{cc}[V]$, those of the nodes N_3, N_4 are both made $0[V]$, and the nMOS 14 is in the "off" state. On the other hand, the nMOS 15 is in the "on" state because its gate voltage is made $V_{cc}[V]$.

Thus, at $T = t_1$, the voltage of the node N_5 is made $0[V]$.

② Later, when the second reset signal RES_2 and the line address signals A_1, A_2 become the high level "H" at $T = t_3$, the pMOS 10 enters the "off" state whereas the nMOSs 11, 12 enter the "on" state. Consequently, the voltages of the nodes N_2, N_3, N_4 become $0[V]$, $V_{cc}[V]$, and $V_{cc} - V_{th}[V]$, respectively, and the nMOS 14 enters the "on" state. On the other hand, the nMOS 15 enters the "off" state because its gate voltage is made $0[V]$.

Consequently, after $T = t_3$, the voltage of the node N_5 becomes $V_{cc} - 2V_{th}[V]$.

③ Later at $T = t_4$, the voltage of the node N_1 becomes $1.5V_{cc}[V]$ as mentioned above. As a result, the voltage of the node N_4 is boosted by the parasitic capacity between the gate and the drain of the nMOS 14 to be $1.5V_{cc}[V]$ or higher. Consequently, the voltage of the node N_5 goes up to $1.5V_{cc}[V]$.

(5) Structure of the word main decoder 3

The word main decoder 3 is composed of a pMOS 19, nMOSs 20, 21, 22, 23, 24, 25, and inverters 26, 27.

The pMOS 19 is connected with the power-supply line 28 and the drain of the nMOS 20 by the source and the drain, respectively. The source of the nMOS 20 is connected with the drain of the nMOS 21, the source of the nMOS 21 is connected with

the drain of the nMOS 22, and the source of the nMOS 22 is connected to the ground.

To the gate of the pMOS 19, the third reset signal RES_3 of L shown in Fig. 14 is inputted. To the gates of the nMOSs 20, 21, 22, the line address signals A_3, A_4, A_5 are inputted at the timing of M, N, O shown in Figs. 14.

The connection middle point (hereinafter referred to as node N_6) between the drain of the pMOS 19 and the drain of the nMOS 20 is connected to the input terminal of the inverter 26, the output terminal of the inverter 27, and the gate of the nMOS 25. The output terminal of the inverter 26 and the input terminal of the inverter 27 are connected with each other, and their connection middle point (hereinafter referred to as node N_7) is connected with the drain of the nMOS 23 whose source is connected with the gate of the nMOS 24.

The nMOS 24 is connected with the node N_5 and the drain of the nMOS 25 by the drain and the source, respectively. The source of the nMOS 25 is connected to the ground. The connection middle point between the source of the nMOS 24 and the drain of the nMOS 25 is connected with the word line WL_0 .

(6) Operation of the word main decoder 3

① First, at $T = t_1$, the third reset signal RES_3 and the address signals A_3, A_4, A_5 are in the low level "L", so that the pMOS 19 is in the "on" state and the nMOSs 20, 21, 22 are in the "off" state. Consequently, the voltage of the node N_6 is made $V_{cc}[V]$, those of the nodes N_7 and N_8 are both made $0[V]$, and the nMOS 24 is put in the "off" state. On the other hand, the nMOS 25 is in the "on" state because its gate voltage is made $V_{cc}[V]$.

Thus, at $T = t_1$, the voltage of the word line WL_0 is made $0[V]$.

② Later, when the third reset signal RES_3 and the line address signals A_3, A_4, A_5 enter the high level "H" at $T = t_3$, the pMOS 19 enters the "off" state whereas the nMOSs 20,

21, 22 enter the "on" state. Consequently, the voltages of the nodes N_6 , N_7 , N_8 become $0[V]$, $V_{cc}[V]$, and $V_{cc} - V_{th}[V]$, respectively, and the nMOS 24 enters the "on" state. On the other hand, the nMOS 25 enters the "off" state because its gate voltage is made $0[V]$.

Consequently, after $T = t_3$, the voltage of the word line WL_0 becomes $V_{cc} - V_{th}[V]$.

③ Later at $T = t_4$, the voltage of the node N_5 goes up to $1.5V_{cc}[V]$ as mentioned above. At this moment, the voltage of the node N_8 is boosted by the capacity between the gate and the drain of the nMOS 24 to become $1.5V_{cc}[V]$ or higher. Consequently, the voltage of the word line WL_0 becomes $1.5V_{cc}[V]$ to be activated.

(7) Problems of the conventional example shown in Fig. 13

In the conventional DRAM shown in Fig. 13, the voltages of nodes N_4 , N_8 go up to $1.5V_{cc}[V]$ or higher. This deteriorates the pressure resistance, namely, the reliability of the gate oxidation films of the nMOSs 14, 24, especially when an acceleration test is conducted.

The conventional DRAM has another problem. A comparison of the voltage of the node N_4 and the voltage of the node N_5 during the charge of the node N_5 indicates that as shown in the waveform of Fig. 15, the gate-source voltage V_{GS} between the gate and the source of the nMOS 14 decreases as the charge of the node N_5 proceeds. This diminishes the overdrive, requiring more time for the charge, thereby to decrease the current driving force, and further, makes it impossible to contrive the high speed operation. The same holds true for the nMOS 24.

ANOTHER EXAMPLE OF CONVENTIONAL DRAM

In order to solve the problems that the conventional example shown in Fig. 13 has, DRAM whose main part circuit and time chart are shown in Figs. 16 and 17, respectively, has been proposed. Fig. 16 shows only the boost voltage generation circuit 1 and the 1/4 predecoder 29 as the main part and not the word main decoder.

(1) Structure of 1/4 predecoder 29

The 1/4 predecoder 29 is composed of pMOSs 30, 31, 32, nMOSs 33, 34, 35, 36, 37, a NAND circuit 38, and an inverter 39.

The second reset signal RES_2 is supplied at the timing of E shown in Fig. 17 and inputted to the gates of nMOSs 33, 37. The line address signals A_1 , A_2 are supplied at the timing of F, G shown in Figs. 17 and inputted respectively to the first and second input terminals of the NAND circuit 38. The third input terminal of the NAND circuit 38 is connected with the charge up signal input terminal 6.

The output terminal of the NAND circuit 38 is connected with the input terminal of the inverter 39 and the gate of the nMOS 34 whereas the output terminal of the inverter 39 is connected with the gate of the nMOS 35.

The sources of the pMOSs 30, 31, 32 are all connected with the node N_1 . The pMOSs 30, 31, 32 are formed in the N well which is also connected with the node N_1 .

The drain of the pMOS 30 is connected with the drains of nMOSs 33, 34, and the sources of the nMOSs 33, 34 are connected to the ground. The connection middle point (hereinafter referred to as node N_{11}) between the drain of the pMOS 30 and the drains of the nMOSs 33, 34 are connected with the gate of pMOS 31.

The drain of the pMOS 31 is connected with the drain of the nMOS 35, whose source is connected to the ground. The connection middle point (hereinafter referred to as node N_{12}) between the drain of the pMOS 31 and the drain of the nMOS 35 is

connected with the gates of pMOSs 30, 32, and the nMOS 36.

The drain of the pMOS 32 is connected with the drain of the nMOS 36 and the source of the nMOS 36 is connected to the ground. The connection middle point (hereinafter referred to as node N_{13}) between the drain of the pMOS 32 and the drain of the nMOS 36 is connected with the drain of the nMOS 37 and the word main decoder (not shown).

(2) Operation of 1/4 predecoder 29

① In Fig. 17, at $T = t_1$, the voltage of the node N_1 is $V_{cc} - V_{th}[V]$ just like the conventional example shown in Fig. 13.

At $T = t_1$, the second reset signal RES_2 is in the high level "H", so that the nMOSs 33, 37 are in the "on" state. Since the address signals A_1, A_2 are in the low level "L", the voltages of the nodes N_9, N_{10} become the high level "H" and the low level "L", respectively, and the nMOSs 34, 35 are in the "on" state and the "off" state, respectively. Consequently, the nodes N_{11}, N_{12} become the low level "L" and the high level "H", respectively, and the pMOS 31 and the nMOS 36 are in the "on" state whereas the pMOSs 30, 32 are in the "off" state.

Thus, at $T = t_1$, the voltage of the node N_{13} is made 0[V].

② Later, when the second reset signal RES_2 becomes the low level "L" at $T = t_3$, the nMOSs 33, 37 enter the "off" state. The address signals A_1, A_2 become the high level "H" immediately. Furthermore, when the charge up signal CU becomes the high level "L" at $T = t_4$, the nodes N_9, N_{10} become the low level "L" and the high level "H", respectively, and the nMOSs 34, 35 enter the "off" state and the "on" state, respectively. Consequently, the nodes N_{11}, N_{12} become the high level "H" and the low level "L", respectively, and the pMOS 31 and the nMOS 36 enter the "off" state whereas the

pMOSs 30, 32 enter the "on" state.

Therefore, after $T = t_4$, the voltage of the node N_{13} goes up to $1.5V_{cc}[V]$.

(3) Advantages of the conventional example shown in Fig. 16

In the conventional DRAM shown in Fig. 16, the gate of pMOS 32, namely node N_{12} , which functions as a transmission gate, is not supplied with a voltage higher than the boost voltage, so that the reliability can be improved.

A comparison of the voltages of the nodes N_1 , N_{11} , N_{12} , N_{13} during the charge of the node N_{13} indicates that the voltage of the node N_{12} becomes 0[V] during the charge as shown in the waveform of Fig. 18, so that the gate-source voltage V_{GS} between the gate and the source of the pMOS 32 becomes the boost voltage of the node N_1 , for example, $1.5V_{cc}[V]$ at the final stage of the charge. This brings about the advantage of large overdrive.

[PROBLEMS TO BE SOLVED BY THE INVENTION]

However, in the conventional DRAM shown in Fig. 16, the charge up signal CU is put in the high level "H" after the first reset signal RES_1 is put in the low level "L", which causes a time lag when the voltage of the node N_1 is boosted.

When the node N_{13} is reset, the charge up signal CU is put in the low level "L" and the voltage of the node N_1 is decreased from $1.5V_{cc}$. However, in some cases, the voltage drops close to V_{ss} , making the high level "H" of the node N_{12} unstable. The immediate rising of the first reset signal RES_1 causes the node N_1 to have $V_{cc} - V_{th}$ and the node N_{12} to be in a stable high level "H", putting the pMOS 32 and the nMOS 36 in the "off" state and the "on" state, respectively, thereby to discharge the node N_{13} . As a result, the reset has a time lag.

Thus, in the conventional DRAM shown in Fig. 16, the time lag caused when the voltage of the node N_1 is boosted and when the node N_{13} is reset has prevented the realization of the high speed operation.

Furthermore, in the case of a boost system synchronized with a signal like the conventional example shown in Fig. 16, a non-synchronous signal such as an address in a static column mode which is one of the functions of DRAM cannot have the time to charge the boost capacity. This causes a problem that the boost voltage is decreased.

In view of these points, the object of the present invention is to provide a semiconductor memory device which maintains the advantage of transmitting a boost voltage through a pMOS formed in an N well as a transmission gate and also realizes the high speed operation by reducing the time required for the charge/discharge of the boost voltage transmission path.

[MEANS FOR SOLVING THE PROBLEMS]

The semiconductor memory device of the present invention is characterized by comprising: a boost voltage generation circuit for generating a stationary boost voltage; a pMOS formed in an N well; and the boost voltage generated by the boost voltage generation circuit being supplied to the N well as a bias voltage and simultaneously the boost voltage being transmitted, through the pMOS as a transmission gate, to a circuit needing the boost voltage.

Fig. 1 is a drawing to explain the principle of the present invention. In Fig. 1, 40 represents a boost voltage generation circuit, 41 represents a pMOS, and 42 represents a circuit (load) needing a boost voltage. The pMOS 41 is formed by providing a source 45 and a drain 46 constituted of a P^+ diffused layer in an N well 41 formed on a P type silicon substrate 43, and further providing a gate electrode 48 via a

gate oxide film 47. The gate electrode 48 is supplied with a control signal S_G . The boost voltage V_{BO} is transmitted to the circuit 42 needing the boost voltage V_{BO} by being supplied to the source 45. The boost voltage V_{BO} is supplied to the N well 44 as a bias voltage via the N^+ diffused layer 49 formed in the N well.

[ACTION]

According to the present invention, the stationary boost voltage V_{BO} generated by the boost voltage generation circuit 40 is supplied to one of the areas to be controlled of the pMOS 41, for example, the source 45, so that the transmission path L_1 connected with the source 45 of the pMOS 41 is always charged up to the boost voltage V_{BO} . To be more specific, there is no need of boosting the transmission path L_1 connected with the source of the pMOS 41 to the boost voltage V_{BO} by synchronizing it with a signal (RES_1) as in the conventional example shown in Fig. 16. Consequently, no time lag is caused in driving the circuit 42 needing the boost voltage V_{BO} .

When the transmission path L_2 connected with the circuit 42 needing the boost voltage V_{BO} or the transmission path L_2 connected with the drain of the pMOS 41 is reset, the voltage of the transmission path L_1 connected with the source does not have to be fallen. Consequently, the transmission path L_2 connected with the drain can be reset in a short time.

[EMBODIMENTS]

Each embodiment of the present invention will be described with reference to Figs. 2 through 12; however, the present invention is not limited to these embodiments. Every embodiment applies the present invention to DRAM.

FIRST EMBODIMENT

Fig. 2 is a circuit showing the main part of the first embodiment of the present invention. The main part of the DRAM of the present embodiment comprises a boost voltage generation circuit 50, a 1/4 predecoder 51, and a word main decoder 52. The remaining parts are composed as known well.

(1) Structure of the boost voltage generation circuit 50

The boost voltage generation circuit 50 comprises a ring oscillation circuit 53, a capacitor 54, and nMOSs 55, 56.

The ring oscillation circuit 53 is composed by connecting the inverters 57, 58, 59 in a ring, and the output terminal of the inverter 59 is connected with one end of the capacitor 54. The capacitor 54 is composed of an nMOS, and the other end thereof is connected with the source of the nMOS 55, the drain and the gate of the nMOS 56.

The gate and the drain of the nMOS 55 are connected with the power-supply line 60. The source of the nMOS 56 is connected with the boost voltage output terminal 61.

(2) Operation of the boost voltage generation circuit 50

The node N_{14} is supplied with $V_{cc} - V_{th}[V]$ by the nMOS 55. On the other hand, the ring oscillation circuit 53 outputs an oscillation voltage, which changes the voltage of the node N_{15} of A shown in Fig. 3.

As a result, the capacitor 54 is charged up to boost the voltage of the node N_{14} of B shown in Fig. 3. This voltage is supplied to the boost voltage output terminal 61 via the nMOS 56. The voltage is smoothed by the capacity at the output side, and the boost voltage output terminal 61 outputs a stationary boost voltage V_{BO} of C shown in

Fig. 3.

In the present embodiment, the capacity of the capacitor 54 is so decided that the boost voltage V_{BO} becomes $1.5V_{cc}[V]$.

(3) Structure of the 1/4 predecoder 51

The 1/4 predecoder 51 is composed of pMOSs 62, 63, 64, nMOSs 65, 66, 67, 68, a NAND circuit 69, and an inverter 70.

The second reset signal RES_2 is supplied at the timing of B shown in Fig. 4 and inputted to the gate of nMOS 65. The line address signals A_1 , A_2 are supplied at the timing of C shown in Figs. 4 and inputted respectively to the first and second input terminals of the NAND circuit 69.

The output terminal of the NAND circuit 69 is connected with the input terminal of the inverter 70 and the gate of the nMOS 66 whereas the output terminal of the inverter 70 is connected with the gate of the nMOS 67.

The sources of the pMOSs 62, 63, 64 are all connected with the boost voltage output terminal 61 of the boost voltage generation circuit 50. The pMOSs 62, 63, 64 are formed in the N well which is also connected with the boost voltage output terminal 61 of the boost voltage generation circuit 50.

The drain of the pMOS 62 is connected with the drains of nMOSs 65, 66 whose sources are connected to the ground. The connection middle point (hereinafter referred to as node N_{16}) between the drain of the pMOS 62 and the drains of the nMOSs 65, 66 is connected with the gate of pMOS 63.

The drain of the pMOS 63 is connected with the drain of the nMOS 67, and the source of the nMOS 67 is connected to the ground. The connection middle point (hereinafter referred to as node N_{17}) between the drain of the pMOS 63 and the drain of

the nMOS 67 is connected with the gates of pMOSs 62, 64 and the nMOS 68.

The drain of the pMOS 64 is connected with the drain of the nMOS 68 whose source is connected to the ground.

(4) Operation of the 1/4 predecoder 51

① First, at $T = t_1$ in Fig. 4, the second reset signal RES_2 is in the high level "H" and the line address signals A_1, A_2 are in the low level "L". As a result, the nMOSs 65, 66 are in the "on" state, the node N_{16} has 0[V], and the pMOS 63 is in the "on" state. Since the nMOS 67 is in the "off" state, the node N_{17} becomes $1.5V_{cc}$ [V], the pMOSs 62, 64 enter the "off" state, and the nMOS 68 enters the "on" state. Consequently, at this moment, the voltage of the connection middle point (hereinafter referred to as Node N_{18}) between the drain of the pMOS 64 and the drain of the nMOS 68 is made 0[V].

② Later, when \overline{RAS} enters the low level "L" of A shown in Fig. 4, the second reset signal RES_2 enters the low level "L" in synchronization with this after a predetermined time period, and then the line address signals A_1, A_2 become the high level "H".

As a result, the nMOSs 65, 66 enter the "off" state, the nMOS 67 enters the "on" state, and the node N_{17} becomes 0[V] thereby to make the nMOS 62 enter the "on" state. The node N_{16} becomes $1.5V_{cc}$ [V] thereby to make the nMOS 68 enter the "off" state.

Since the pMOS 64 and the nMOS 68 enter the "on" state and the "off" state, respectively, the node N_{18} goes up to $1.5V_{cc}$ [V].

③ Later, when the second reset signal RES_2 becomes the high level "H" and the line address signals A_1, A_2 becomes the low level "L", the nMOSs 65, 66 enter the "on" state and the node N_{16} becomes 0[V], which makes the pMOS 63 enter the "on" state. Since the nMOS 67 enters the "off" state, the node N_{17} becomes $1.5V_{cc}$ [V], the pMOSs 62, 64 enter the "off" state, and the nMOS 68 enters the "on" state. At this moment, the

voltage of the node N_{18} goes down to 0[V].

(5) Structure of the word main decoder 52

The word main decoder 52 is composed of pMOSs 71, 72, 73, and nMOSs 74, 75, 76, 77, 78, 79, 80.

The sources of the pMOSs 71, 72, 73 are connected with the node N_{18} . The pMOSs 71, 72, 73 are formed in the N well which is also connected with the node N_{18} .

The drain of the pMOS 71 is connected with the drains of the nMOSs 74, 75 whose sources are both connected to the ground. The third reset signal RES_3 is supplied as the timing of G shown in Fig. 4, and inputted to the gate of the nMOS 74.

The connection middle point (hereinafter referred to as node N_{19}) between the drain of the pMOS 71 and the drains of the nMOSs 74, 75 is connected to the gates of the pMOS 72 and the nMOS 76.

The drain of the pMOS 72 is connected with the drain of the nMOS 76, whose source is connected to the ground. The connection middle point (hereinafter node N_{20}) between the drain of the pMOS 72 and the drain of the nMOS 76 is connected with the gates of the pMOS 71, the nMOS 75, the pMOS 73, the nMOS 80, and the drain of the nMOS 77.

The source of the nMOS 77 is connected with the drain of the nMOS 78 whose source is connected with the drain of the nMOS 79 whose source is connected to the ground. The line address signals A_3 , A_4 , A_5 are supplied at the timing of J shown in Fig. 4 and inputted to the gates of the nMOSs 77, 78, 79, respectively.

The drain of the pMOS 73 is connected with the drain of the nMOS 80 whose source is connected to the ground. The connection middle point between the drain of the pMOS 73 and the drain of the nMOS 80 is connected with the word line WL_0 .

(6) Operation of the word main decoder 52

① First, at $T = t_1$, the third reset signal RES_3 is in the high level "H" and the line address signals A_3, A_4, A_5 are in the low level "L", so that the nMOS 74 is in the "on" state and the nMOSs 77, 78, 79 are in the "off" state. As a result, the voltage of the node N_{19} becomes 0[V], the pMOS 72 enters the "on" state, the nMOS 76 enters the "off" state, and the node N_{20} has $1.5V_{cc}$ [V]. Furthermore, the pMOS 73 and the nMOS 80 are in the "off" state and the "on" state, respectively, and the word line WL_0 becomes 0[V].

② Later, when the third reset signal RES_3 becomes the low level "L", the pMOS 74 enters the "off" state and when the line address signals A_3, A_4, A_5 become the high level "H" immediately after this, the nMOSs 77, 78, 79 enter the "on" state.

Consequently, the node N_{20} becomes 0[V], the pMOS 71 enters the "on" state, the nMOS 75 enters the "off" state, and the node N_{19} becomes $1.5V_{cc}$ [V]. Furthermore, the pMOS 73 and the nMOS 74 enter the "on" state and the "off" state, respectively. As a result, the voltage of the word line WL_0 becomes $1.5V_{cc}$ [V] to be activated.

③ Later, when the third reset signal RES_3 becomes the high level "H" and the line address signals A_3, A_4, A_5 become the low level "L", the nMOS 74 enters the "on" state, the node N_{19} becomes 0[V], the pMOS 72 enters the "on" state, and the nMOSs 76, 77, 78, 79 enter the "off" state. Consequently, the node N_{20} becomes $1.5V_{cc}$ [V] and the pMOS 71 enters the "off" state. Since the pMOS 73 and the nMOS 80 enter the "off" state and the "on" state, respectively, the word line WL_0 goes down to 0[V] to be reset at this moment.

(7) Effects of the first embodiment

In the first embodiment, the stationary boost voltage V_{BO} generated by the boost voltage generation circuit 50 is supplied to the source of the pMOS 64, so that the node N_{21} is always charged at the boost voltage V_{BO} . In other word, there is no need of boosting the node N_{21} to the boost voltage V_{BO} in synchronization with a signal (RES_1) like the conventional example shown in Fig. 16. Consequently, no time lag is caused when the boost voltage V_{BO} is transmitted to the node N_{18} .

Since the voltage of the node N_{21} does not have to be fallen when the node N_{18} is reset, the node N_{18} connected with the drain can be reset in a short time.

Thus, the first embodiment contrives the high speed operation.

In the present embodiment, when the voltage of the node N_{18} is boosted to the boost voltage level, the voltage of the node N_{21} falls as indicated by the cross shown in Fig. 4; however, the operation of the ring oscillation circuit 53 of the boost voltage generation circuit 50 soon recovers the boost voltage level, ensuring the boost voltage level.

SECOND EMBODIMENT

Fig. 5 is a circuit showing the main part of the second embodiment of the present invention, and the main part of the DRAM of the present embodiment is composed of a boost voltage generation circuit 50, a 1/4 predecoder 51, and a word main decoder 81 which is the only different part from the first embodiment.

In the word main decoder 81, the sources of the nMOSs 71, 72 and the N well are connected with the boost voltage output terminal 61 of the boost voltage generation circuit 50, whereas the source of the pMOS 73 and the N well are connected with the node N_{18} . The other parts are structured in the same manner as the word main decoder

52 of the first embodiment (shown in Fig. 2).

Thus, the second embodiment not only brings about the same effects as the first embodiment but also conducts the charge up of the node N_{20} separately from the voltage level of the node N_{18} when the node N_{18} is reset. This produces the special effect of stable resetting.

THIRD EMBODIMENT

Fig. 6 is a circuit showing the main part of the third embodiment of the present invention. The main part of the DRAM of the present embodiment is composed of a boost voltage generation circuit 82, a 1/4 predecoder 51, a word main decoder 52, a boost voltage detection circuit 83, and a boost voltage generation control circuit 84. The present embodiment differs from the first embodiment in that some part of the boost voltage generation circuit 82, the boost voltage detection circuit 83, and the boost voltage generation control circuit 84 are added.

(1) Structure of the boost voltage generation circuit 82

The boost voltage generation circuit 82 is provided with a ring oscillation circuit 85 instead of the ring oscillation circuit 53 in the boost voltage generation circuit 50 of the first embodiment (shown in Fig. 2) and further provided with a voltage stabilizing capacitor 86. The other parts are constructed in the same manner as the boost voltage generation circuit 50 of the first embodiment.

The ring oscillation circuit 85 connects the output terminal of the NAND circuit 87 with the input terminal of the inverter 58, the output terminal of the inverter 58 with the input terminal of the inverter 59, and the output terminal of the inverter 59 with one of the input terminals of the NAND circuit 87.

(2) Operation of the boost voltage generation circuit 82

The ring oscillation circuit 85 performs the oscillation operation so as to increase the boost voltage V_{BO} , namely, the voltage of the node N_{21} when the other input terminal of the NAND circuit 87 is put in the high level "H" by the boost voltage generation control circuit 84 which will be described later, and suspends the oscillation operation so as to decrease the boost voltage V_{BO} , namely, the voltage of the node N_{21} when the other input terminal of the NAND circuit 87 is put in the low level "L".

(3) Structure of the boost voltage detection circuit 83

The boost voltage detection circuit 83, which is composed of a V_{N21} voltage-distribution unit 88, a V_1 detection unit 89, and a V_2 detection unit 90, detects the time when the voltage V_{N21} of the node N_{21} goes down to meet the condition: $V_{N21} = V_1 = V_{cc} + 2V_{th}$ and the time when the voltage of the node N_{21} goes up to meet the condition: $V_{N21} = V_2 = V_{cc} + 3V_{th}$.

In the V_{N21} voltage-distribution unit 88, four pMOSs 91, 92, 93, 94 are diode-connected in the forward direction, the source of the pMOS 91 is connected with the node N_{21} , the gate and the drain of the pMOS 94 are connected with each other and their connection middle point (hereinafter referred to as node N_{22}) is connected to the ground via a resistor 95.

The V_1 detection unit 89 is composed of pMOSs 96, 97, 98, and the pMOS 96 is connected with the power-supply line 99, the ground, and the source of the pMOS 97 by the source, the gate, and the drain, respectively. The gate and the drain of the pMOS 97 are connected with each other, and their connection middle point (hereinafter referred to as node N_{23}) is connected with the source of the pMOS 98. The pMOS 98 is connected

with the node N_{22} and the ground by the gate and the drain, respectively. The node N_{23} is connected with the \bar{R} input terminal of the flip-flop 100 which composes a boost voltage generation control circuit 84 which will be described later.

The V_2 detection unit 90 is composed of pMOSs 101, 102. The pMOS 101 is connected with the power-supply line 99, the ground, and the source of the pMOS 102 by the source, the gate, and the drain, respectively. The pMOS 102 is connected with the node N_{22} and the ground by the gate and the drain, respectively. The connection middle point (hereinafter referred to as node N_{24}) between the drain of the pMOS 101 and the source of the pMOS 102 is connected with the \bar{S} input terminal of the flip-flop 100 via the inverter 103.

(4) Operation of the boost voltage detection circuit 83

① The voltage V_{N22} of the node N_{22} is as follows:

$$V_{N22} = V_{N21} - 4V_{th}$$

The pMOS 98 is off under the conditions as follows:

$$V_{cc} - 2V_{th} < V_{N22} = V_{N21} - 4V_{th},$$

that is,

$$V_{N21} > V_{cc} + 2V_{th} = V_1$$

The pMOS 102 is off under the conditions as follows:

$$V_{cc} - V_{th} < V_{N22} = V_{N21} - 4V_{th},$$

that is,

$$V_{N21} > V_{cc} + 3V_{th} = V_2$$

② As a result, when V_{N21} becomes lower than V_1 , the pMOSs 98, 102 enter the "on" state, whereas the nodes N_{23} , N_{24} become the low level "L".

Later, when V_{N21} meets the condition: $V_1 < V_{N21} < V_2$, the pMOS 98 enters the "off" state and the node N_{23} changes to the high level "H". The pMOS 102 remains in

the "on" state and the node N_{24} maintains the low level "L".

When the V_{N21} becomes higher than V_2 , the pMOSs 98, 102 both enter the "off" state, the node N_{23} maintains the high level "H", and the node N_{24} changes to the high level "H".

(5) Structure of the boost voltage generation control circuit 84

The boost voltage generation control circuit 84 is composed of inverters 103, 104, and a flip-flop 100 composed of NAND circuits 105, 106. The Q output terminal is connected to the other input terminal of the NAND circuit 87 of the ring oscillation circuit 85 via the inverter 104.

(6) Operation of the boost voltage generation control circuit 84

① If the voltage V_{N21} of the node N_{21} drops lower than V_1 , then the nodes N_{23} , N_{24} both become the low level "L", so that the \bar{S} input terminal and the \bar{R} input terminal of the flip-flop 100 are put in the high level "H" and the low level "L", respectively. As a result, the Q output terminal outputs the low level "L" and the other input terminal of the NAND circuit 87 is supplied with the high level "H". Therefore, in this case, the ring oscillation circuit 85 starts the oscillation operation so as to raise the voltage V_{N21} of the node N_{21} .

② Then, when the voltage V_{N21} of the node N_{21} meets the condition: $V_1 < V_{N21} < V_2$, the node N_{23} changes to the high level "H", and the node N_{24} maintains the low level "L". As a result, the \bar{S} input terminal and the \bar{R} input terminal are both put in the high level "H", so that the output of the Q output terminal remains in the low level "L". Therefore, under the condition of $V_1 < V_{N21} < V_2$, the other input terminal of the NAND circuit 87 is supplied with the high level "H", so that the ring oscillation circuit 85 continues the

oscillation operation, thereby to further increase the voltage V_{N21} of the node N_{21} .

③ Later, when the voltage V_{N21} of the node N_{21} grows higher than V_2 , the nodes N_{23} , N_{24} both become the high level "H". Therefore, the \bar{S} input terminal changes to the low level "L", and in response to this, the output of the Q output terminal changes to the high level "H". As a result, the other input terminal of the NAND circuit 87 is supplied with the low level "L". Consequently, in this case, the ring oscillation circuit 85 stops the oscillation operation, and the voltage V_{N21} of the node N_{21} starts to fall.

④ When the voltage V_{N21} of the node N_{21} drops lower than V_1 again, the operation described in ① is started to raise the voltage V_{N21} of the node N_{21} . Hereinafter, the same operation is repeated.

Fig. 7 is a time chart showing the operation of the third embodiment.

(7) Effects of the third embodiment

The third embodiment not only brings about the same effects as the first embodiment but also eliminates the stand-by current of the ring oscillation circuit 85 which composes the boost voltage generation circuit 82, and as a result, a special effect of realizing the reduction of power consumption is obtained.

FOURTH EMBODIMENT

Fig. 8 is a circuit showing the main part of the fourth embodiment of the present invention. In the present embodiment, the word main decoder 52 of the third embodiment is replaced by the word main decoder 81 of the second embodiment.

The fourth embodiment not only brings about the same effects as the second embodiment, but also realizes the reduction of power consumption like the third embodiment.

FIFTH EMBODIMENT

Fig. 9 is a circuit showing the main part of the fifth embodiment of the present invention. The DRAM of the present embodiment is composed of an internal voltage reduction power-supply circuit 107 and the other components structured in the same manner as the first embodiment.

The internal voltage reduction power-supply circuit 107 is composed of pMOSs 108, 109, 110, 111, 112, 113, an nMOS 114, and a resistor 115. The pMOSs 108, 109, 110, 111, 112, 113 are diode-connected in the forward direction, the source of the pMOS 108 is connected with the power-supply line 116 via the resistor 115, and further connected with the gate of the pMOS 114. The gate and the drain of the pMOS 113 are connected to the ground. The nMOS 114 is connected with the power-supply line 116 by the drain so that the source can obtain the voltage reduction voltage V_{cc}' .

The fifth embodiment brings about not only the same effects as the first embodiment, but also a special effect of obtaining a boost voltage V_{BO} stable against the fluctuation of the external power-supply voltage V_{cc} .

SIXTH EMBODIMENT

Fig. 10 is a circuit showing the main part of the sixth embodiment of the present invention. The DRAM of the present embodiment utilizes the internal voltage reduction power-supply circuit 107 of the third embodiment shown in Fig. 9.

The sixth embodiment brings about not only the same effects as the third embodiment but also a special effect of obtaining the boost voltage V_{BO} stable against the fluctuation of the external power-supply voltage V_{cc} .

SEVENTH EMBODIMENT

Fig. 11 is a circuit showing the main part of the seventh embodiment of the present invention. The present embodiment applies the present invention to an address buffer 116 and a column decoder 117. Fig. 12 is a time chart showing their operation. In Fig. 11, the numerals 118, 119 show load capacities.

OTHERS

The first and second embodiments describe the case where the boost voltage is made $1.5V_{cc}[V]$; however, the voltage value should be decided according to the type of the product or other conditions.

Although the above embodiments describe the cases where the present invention is applied to the line decoder, an address buffer, and a column decoder of DRAM, it can be applied to various circuits needing a boost voltage.

[EFFECTS OF THE INVENTION]

In the present invention, a stationary boost voltage generated by a boost voltage generation circuit is supplied to one of the areas to be controlled of a pMOS, such as the source. According to this structure, the transmission path connected with the source of the pMOS is constantly charged at a boost voltage, and unlike the conventional example shown in Fig. 16, there is no need of boosting the transmission path connected with the source of the pMOS to a boost voltage in synchronization with a signal (RES_1). As a result, no delay is caused to drive a circuit (load) needing a boost voltage. When the transmission path connected with a circuit (load) needing a boost voltage, or a circuit connected with the drain of the pMOS is reset, there is no need of falling the voltage of the transmission path connected with the source, which makes it possible to reset the

transmission path connected with the drain in a short time. This brings about the effect of realizing a high speed operation.

In the case having a boost voltage detection circuit which outputs a first detection signal when the boost voltage outputted from the boost voltage generation circuit has gone down to a first predetermined voltage value, and outputs a second detection signal when the boost voltage has gone up to a second predetermined voltage value higher than the first predetermined voltage value and having a boost voltage generation circuit which so controls a boost voltage generation circuit as to increase the boost voltage in response to the first detection signal and as to decrease the boost voltage in response to the second detection signal, the stand-by current of the oscillation circuit composing the boost voltage generation circuit can be eliminated. This brings about a special effect of realizing the reduction of power consumption.

4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is an illustration explaining the principle of the present invention;

Fig. 2 is a circuit showing the main part of the first embodiment of the present invention;

Fig. 3 is a time chart showing the operation of the boost voltage generation circuit of the first embodiment (shown in Fig. 2) of the present invention;

Fig. 4 is a time chart showing the operation of the first embodiment (shown in Fig. 2) of the present invention;

Fig. 5 is a circuit showing the main part of the second embodiment of the present invention;

Fig. 6 is a circuit showing the main part of the third embodiment of the present invention;

Fig. 7 is a time chart showing the operation of the third embodiment (shown in Fig. 6) of the present invention;

Fig. 8 is a circuit showing the main part of the fourth embodiment of the present invention;

Fig. 9 is a circuit showing the main part of the fifth embodiment of the present invention;

Fig. 10 is a circuit showing the main part of the sixth embodiment of the present invention;

Fig. 11 is a circuit showing the main part of the seventh embodiment of the present invention;

Fig. 12 is a time chart showing the operation of the seventh embodiment (shown in Fig. 11) of the present invention;

Fig. 13 is a circuit showing the main part of conventional DRAM;

Fig. 14 is a time chart explaining the operation of the conventional example shown in Fig. 13;

Fig. 15 is a waveform explaining the problems of the conventional example shown in Fig. 13;

Fig. 16 is a circuit showing the main part of another example of conventional DRAM;

Fig. 17 is a time chart explaining the operation of the conventional example shown in Fig. 16; and

Fig. 18 is a waveform explaining the advantages of the conventional example shown in Fig. 16.

41 --- pMOS

42 --- circuit needing a boost voltage

V_{Bo} --- boost voltage

V_{cc} --- power-supply voltage

FIG. 1

- ① boost voltage generation circuit
- ② circuit needing a boost voltage
- ③ N well
- ④ illustration explaining the principle of the present invention

FIG. 2

- ① 1/4 predecoder
- ② word main decoder
- ③ boost voltage generation circuit
- ④ main part of the first embodiment

FIG. 3

- ⑤ node N_{15}
- ⑥ boost voltage output terminal
- ⑦ time chart showing the operation of the boost voltage generation circuit of Embodiment 1 (FIG. 2)

FIG. 4

- ⑤ second reset signal
- ⑥ line address signal
- ⑦ node
- ⑧ word line

⑨ time chart showing the operation of Embodiment 1 (FIG. 2)

FIG. 5

- ① 1/4 predecoder
- ② word main decoder
- ③ boost voltage generation circuit
- ④ main part of Embodiment 2

FIG. 6

- ⑤ boost voltage generation control circuit
- ⑥ boost voltage detection circuit
- ⑦ main part of Embodiment 3

FIG. 9

- ① internal voltage reduction power-supply circuit

FIG. 11

- ① address buffer
- ② column decoder
- ③ boost voltage

FIG. 13

- ① main part of an example of conventional DRAM

FIG. 15

① voltage

② time

③ waveform showing problems of the conventional example of FIG. 13

FIG. 16

④ main part of another example of conventional DRAM

FIG. 17

⑤ time chart showing the operation of the conventional example of FIG. 16

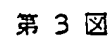
FIG. 18

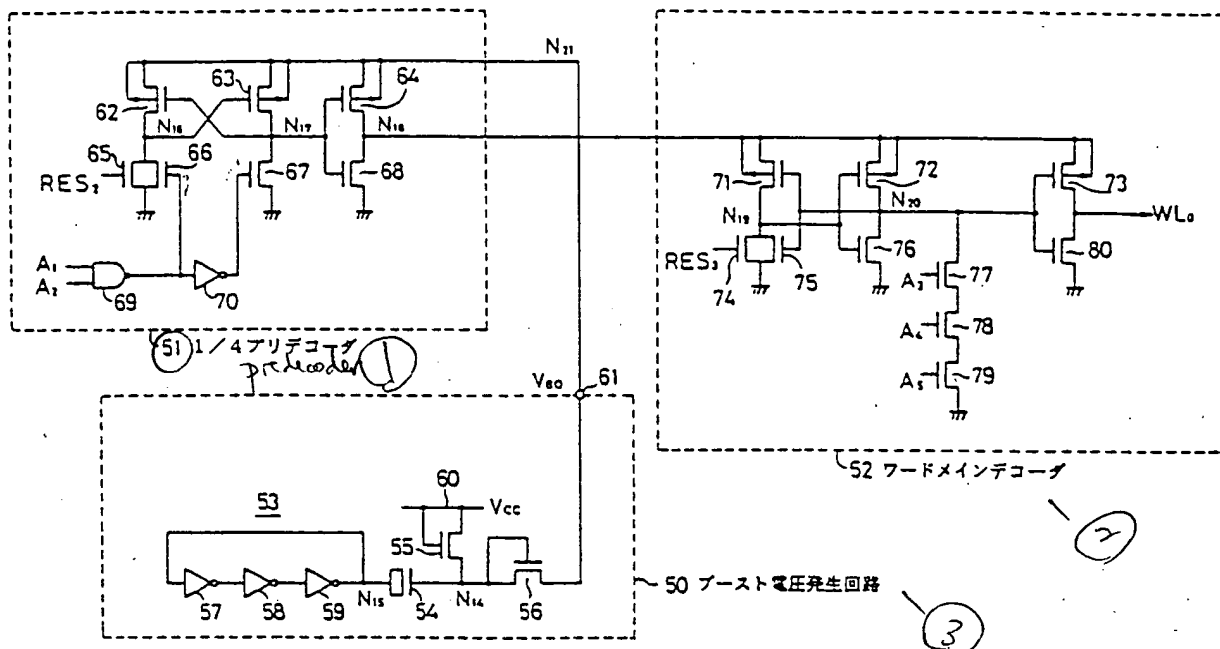
⑥ waveform showing the advantages of the conventional example of FIG. 16

第18図は第16図従来例の利点を説明するための波形図である。

V_{cc} …電源電圧

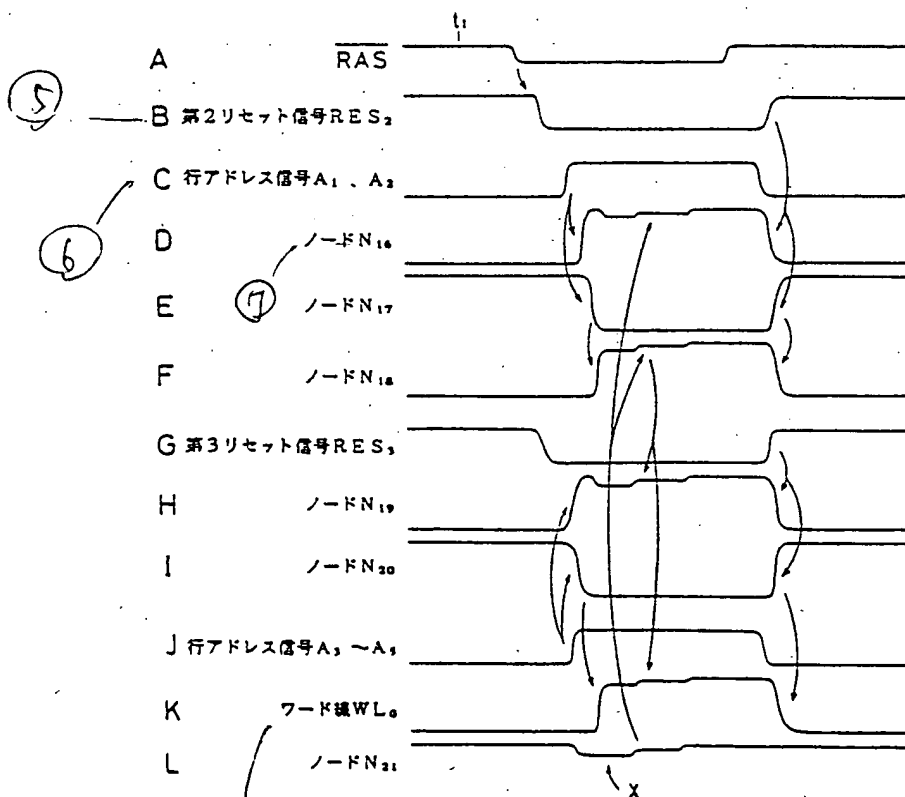
第 1 図





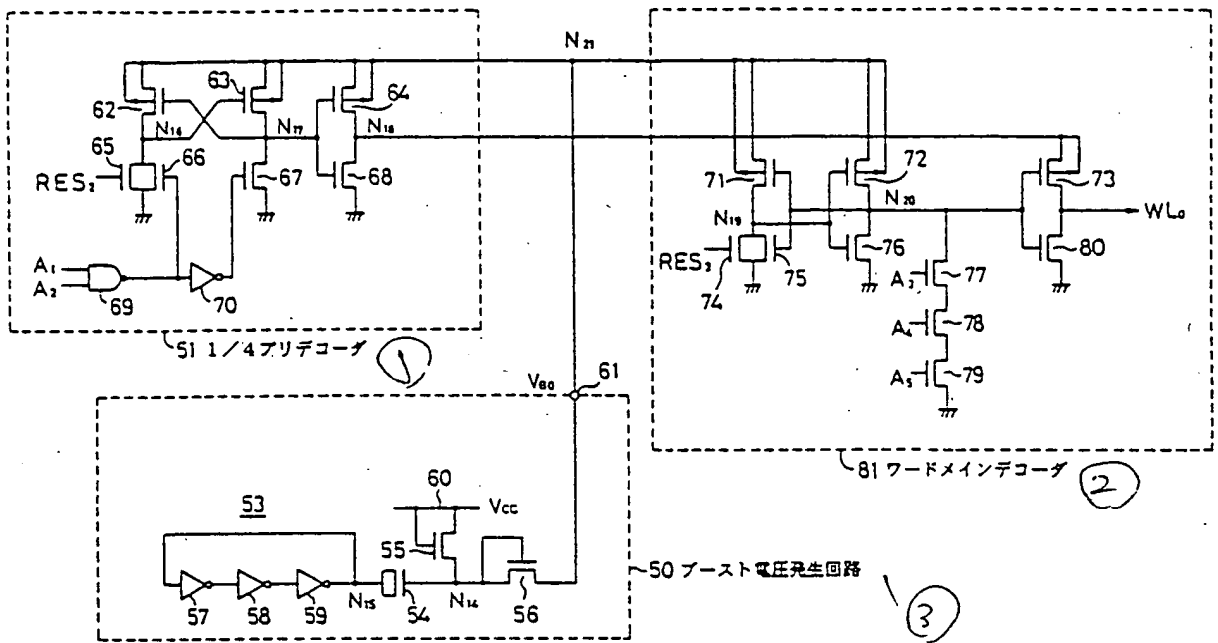
第1実施例の要部

第2図



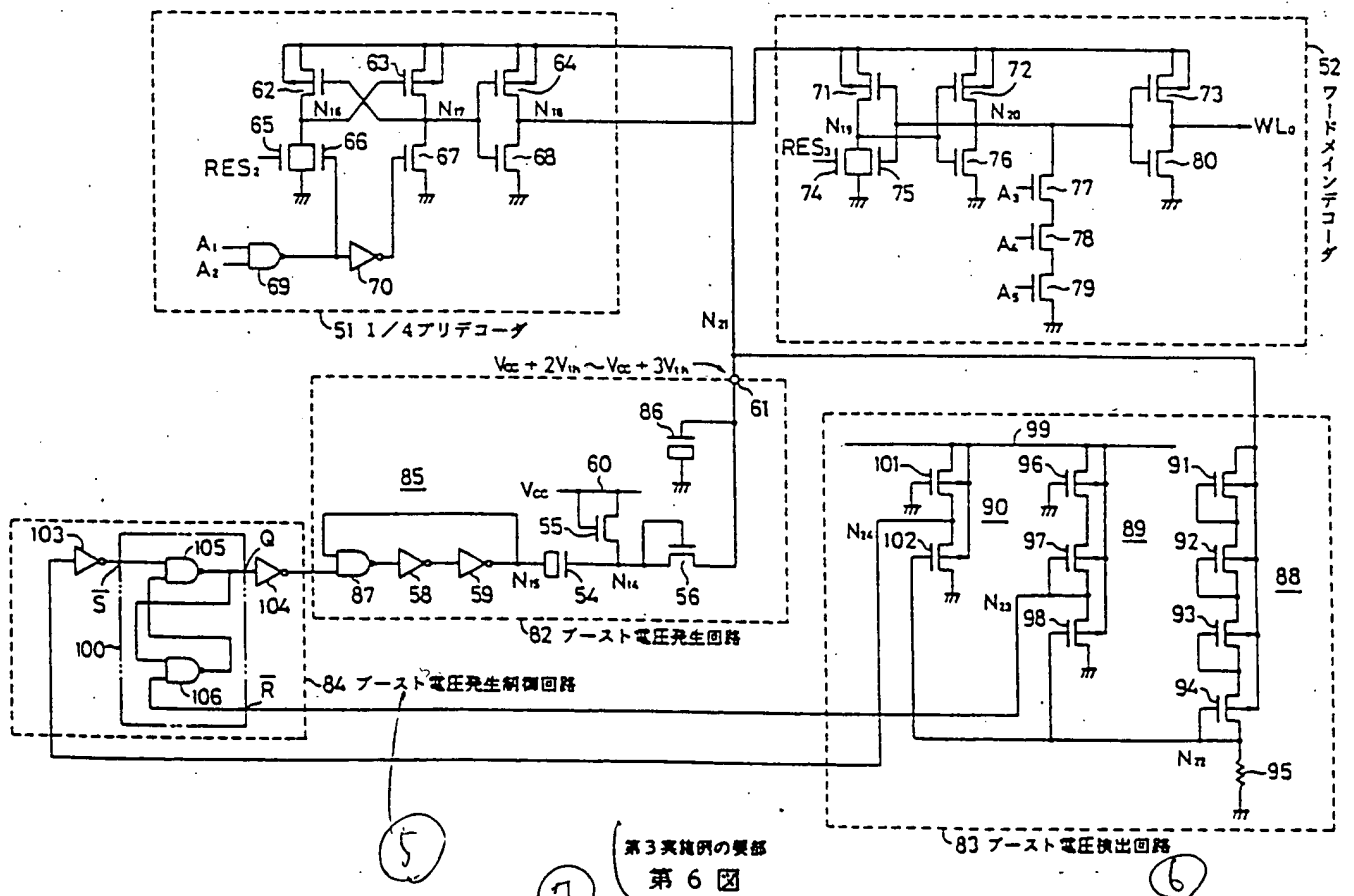
第1実施例 (第2図例) の動作を示すタイムチャート

第4図



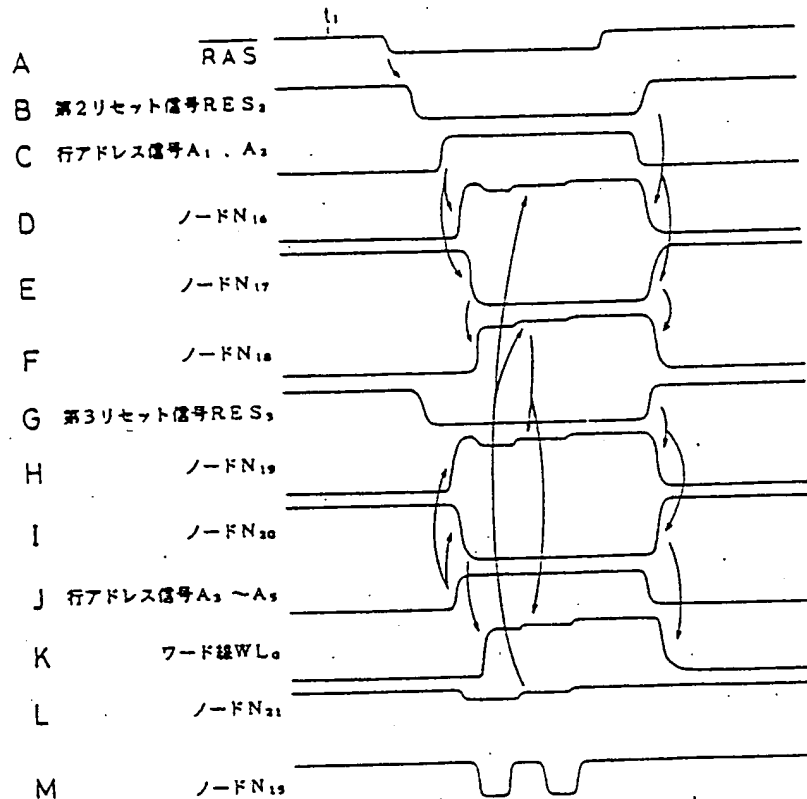
第2実施例の要部

第5図



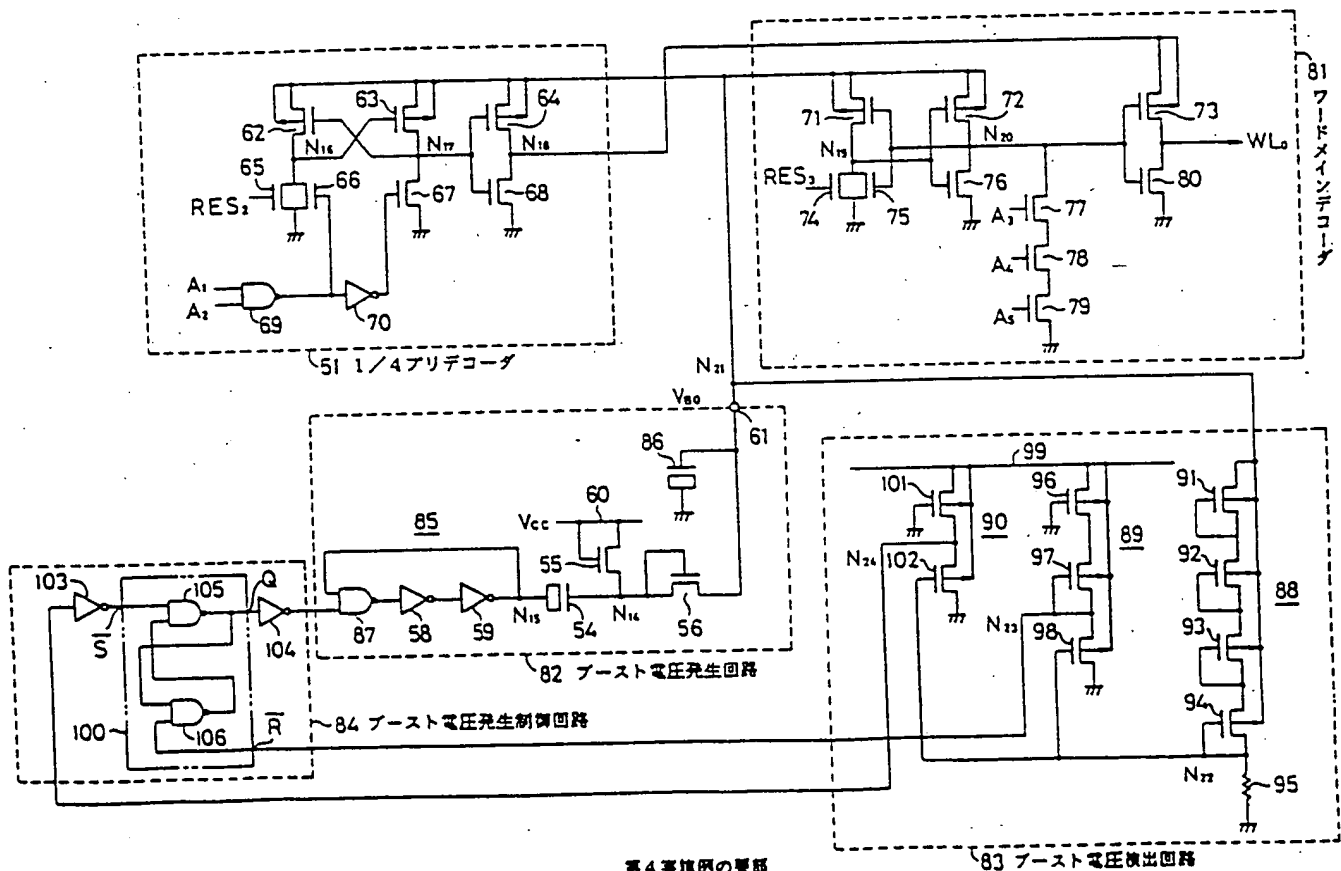
第3実施例の要部

第6図



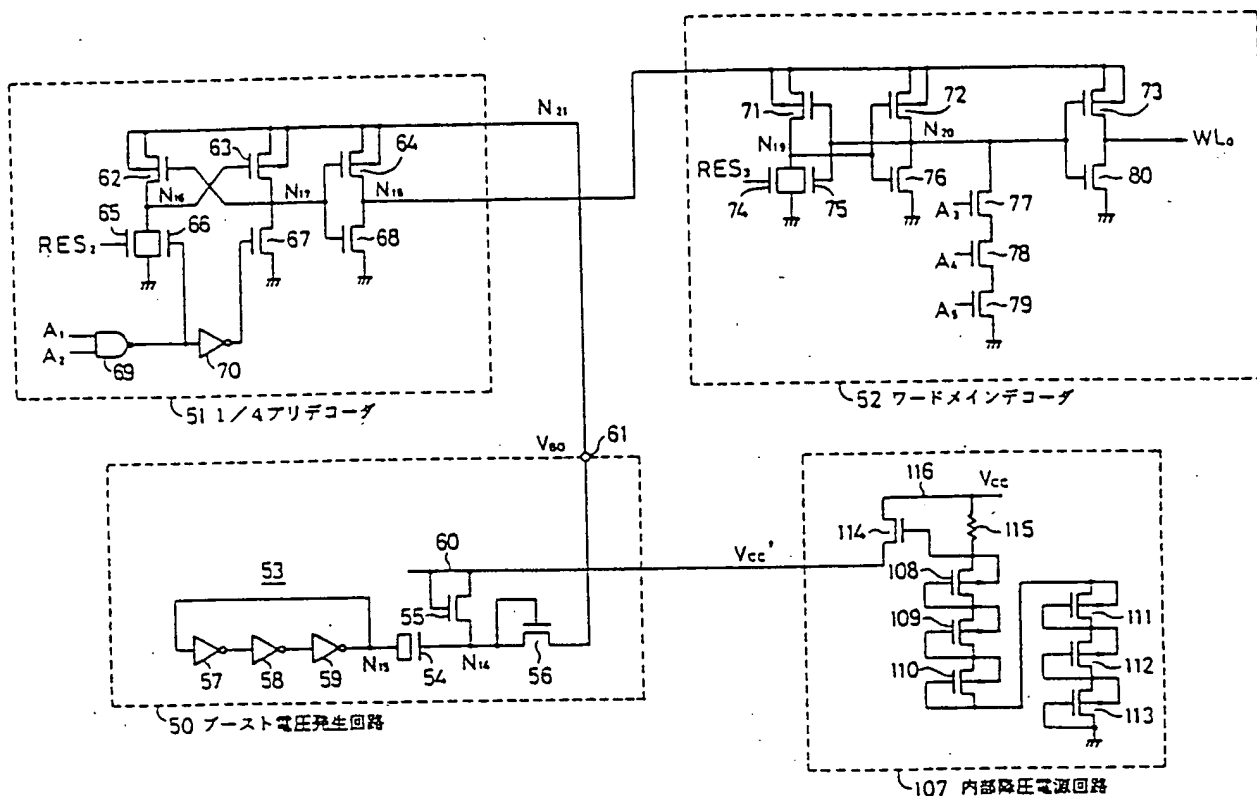
第3実施例（第6図例）の動作を示すタイムチャート

第7図

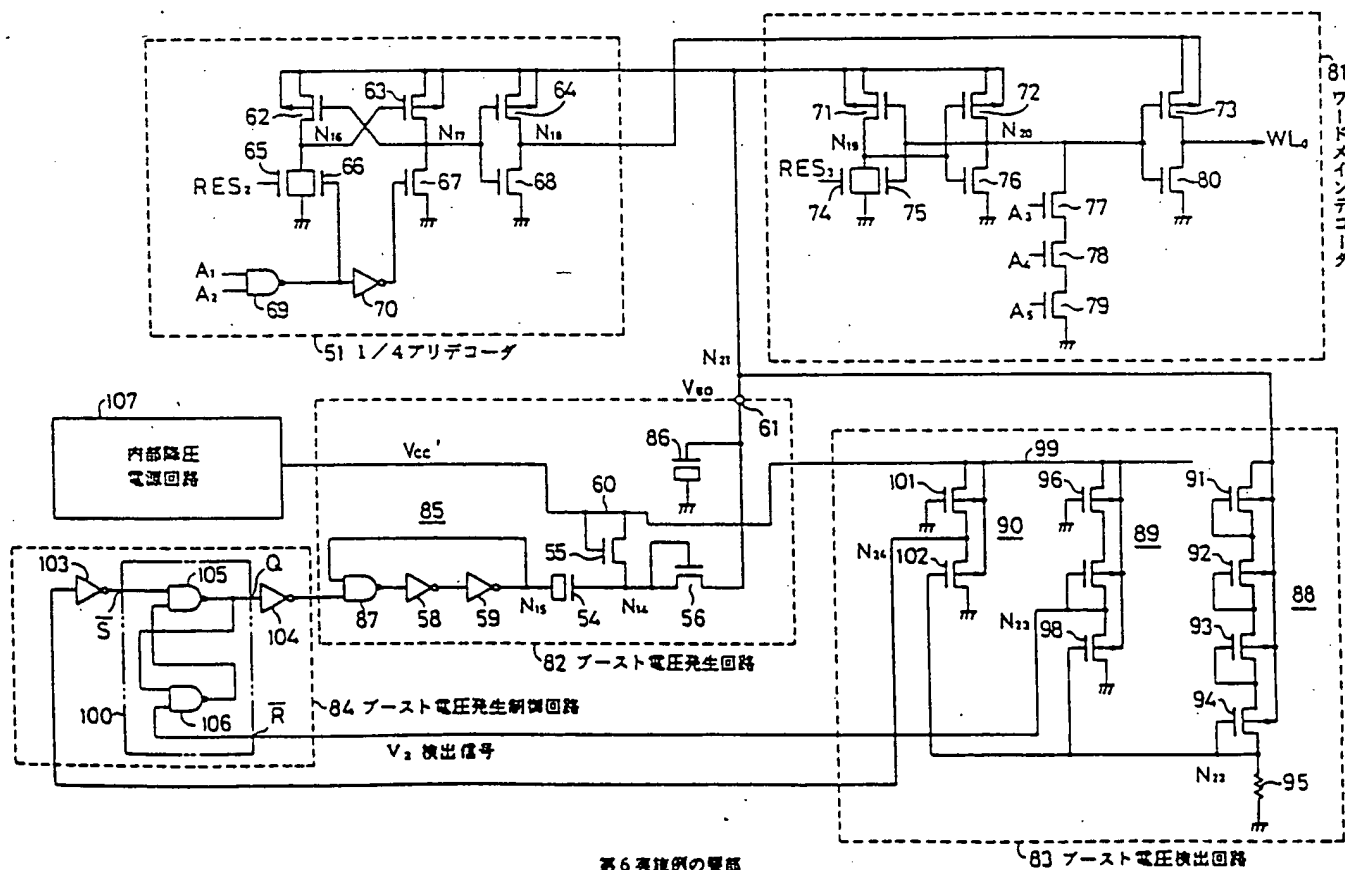


第4実施例の要部

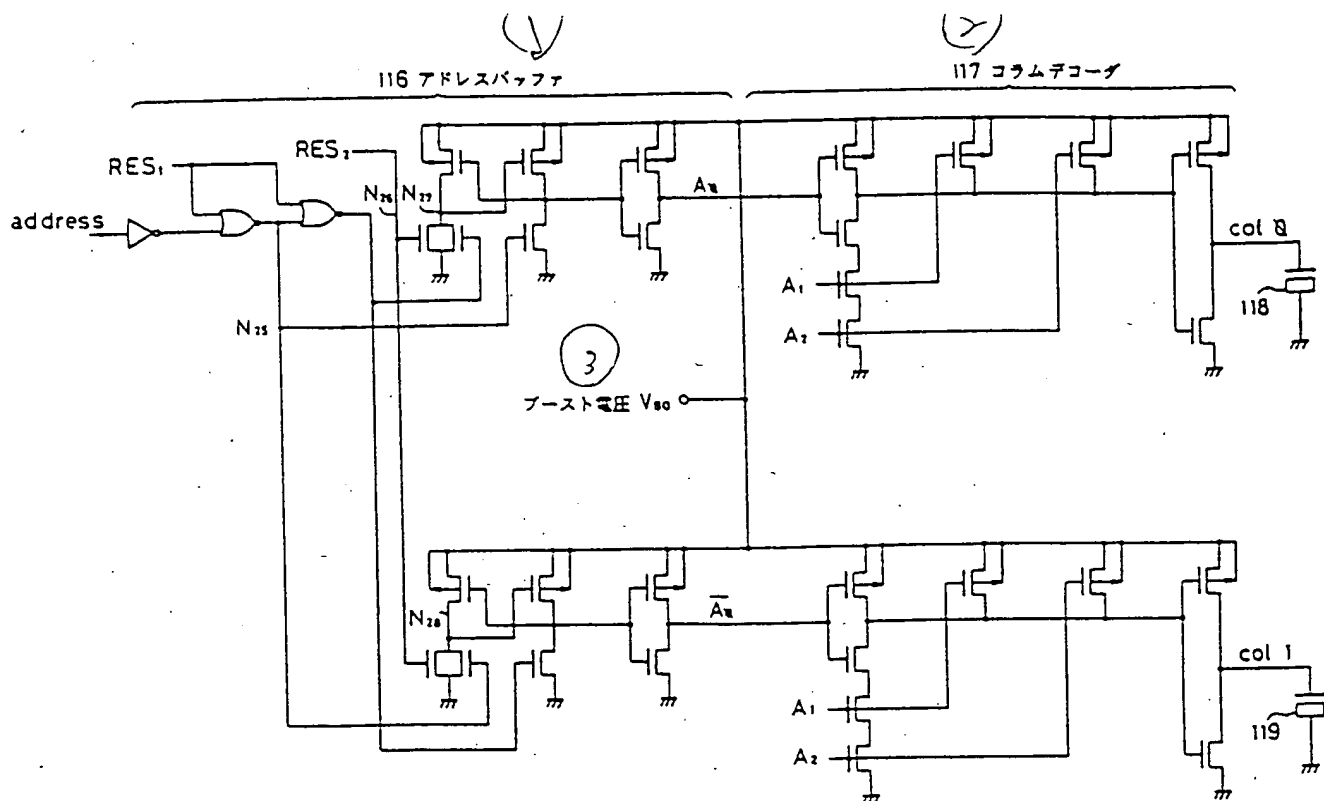
第8図



第5実施例の要部
第9図

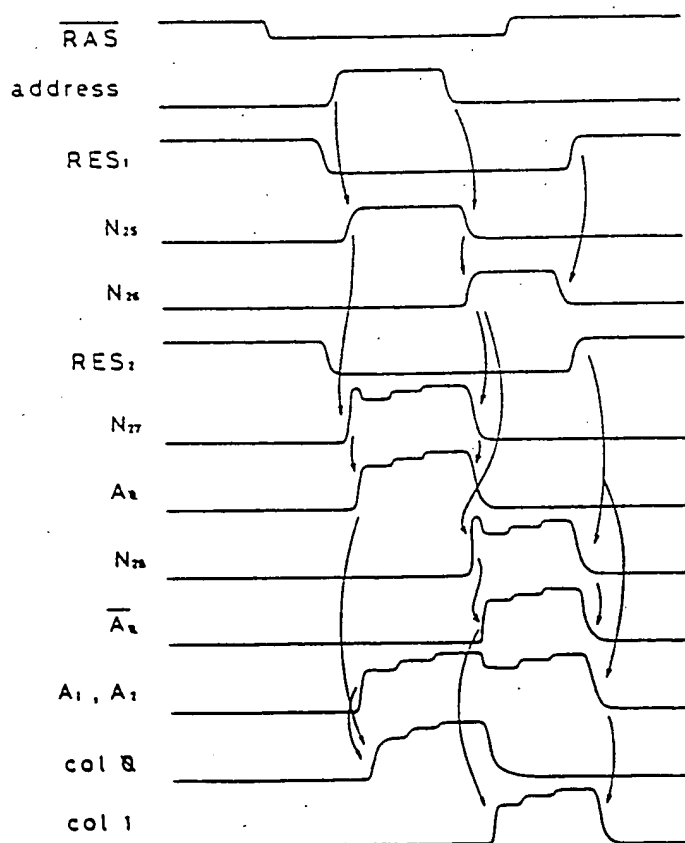


第6実施例の要部
第10図



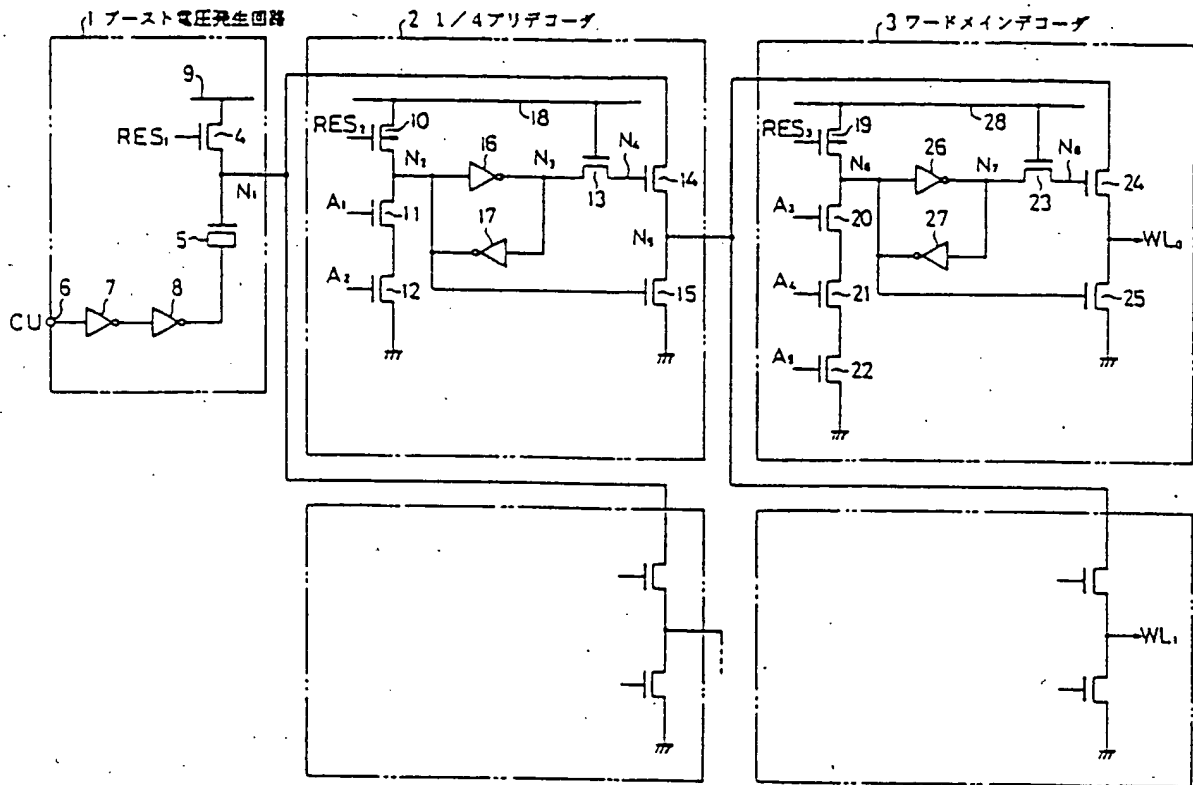
第7実施例の要部

第11図



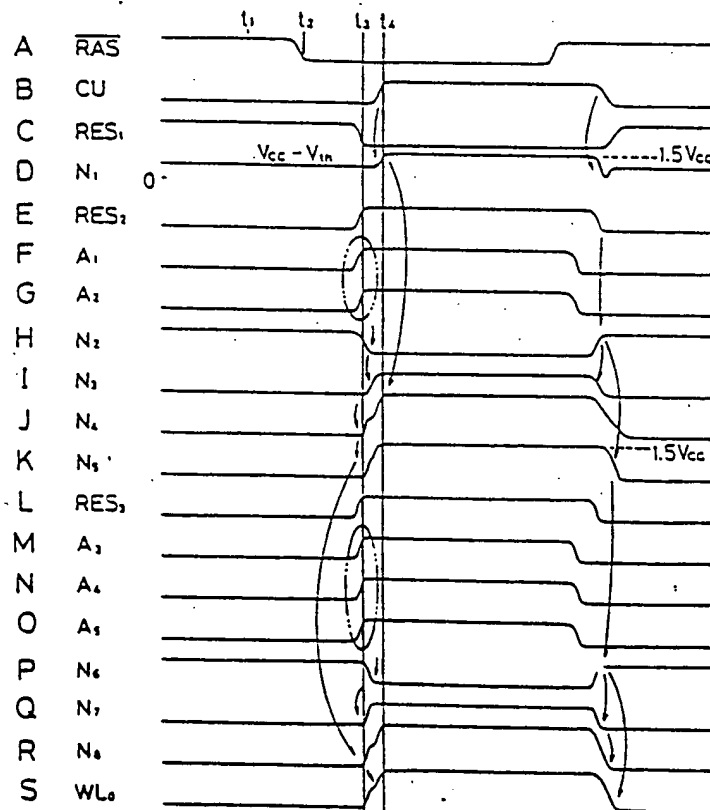
第7実施例(第11図例)の動作を示すタイムチャート

第12図



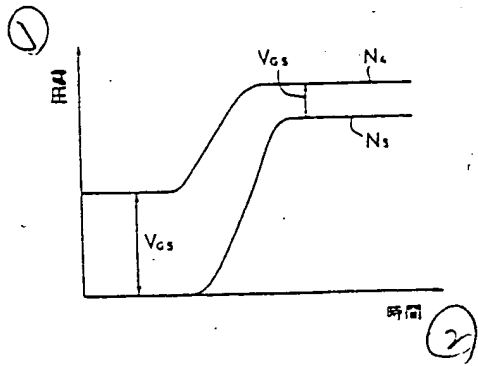
従来のDRAMの一例の要部

第13図



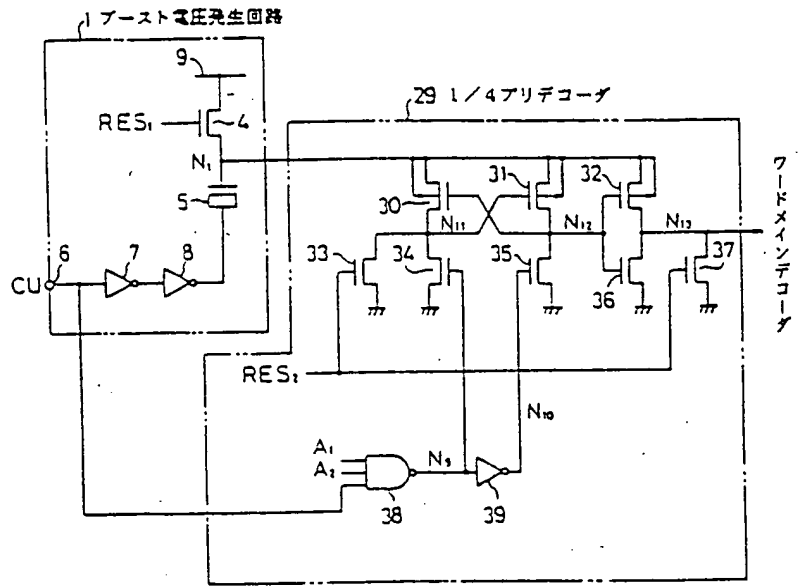
第13図従来例の動作を説明するためのタイムチャート

第14図



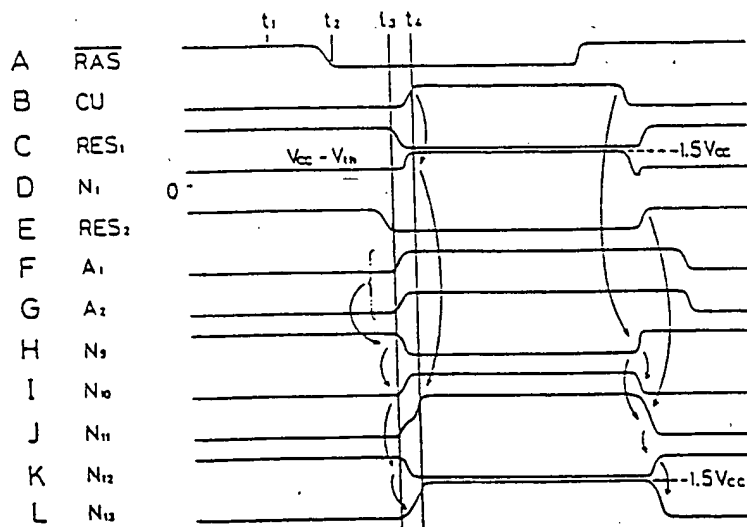
第13図従来例の問題点を説明するための波形図

第15図



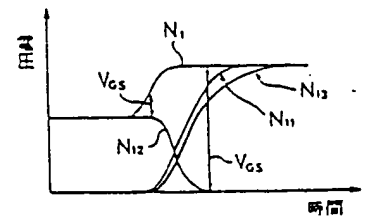
従来のDRAMの他の例の要部

第16図



第16図従来例の動作を説明するためのタイムチャート

第17図



第16図従来例の利点を説明するための波形図

第18図